

SUJET

Éléments d'une prothèse auditive numérique

Recommandations aux candidats

Ce sujet comporte six parties indépendantes, repérées de A à F. À l'intérieur de chacune d'elles, de nombreuses questions sont également indépendantes. Les candidats sont donc invités à prendre connaissance de la totalité du sujet avant de commencer à composer.

En ce qui concerne la tonalité du sujet, une remarque importante doit être faite : bien que l'application envisagée soit entièrement intégrée sur un circuit monolithique, le traitement de cette épreuve ne demande pas de connaissances autres que celles inscrites au programme limitatif des épreuves d'admissibilité du présent concours. En particulier, aucune connaissance spécifique au domaine de la micro-électronique n'est requise.

Le sujet comprend un jeu de documents réponse constitué de tableaux, schémas et graphiques à compléter. **Les candidats devront impérativement utiliser le document réponse à chaque fois que cela sera précisé dans la question.**

Les candidats sont invités à numéroter chaque page de leur copie. Pour la rédaction de la solution relative à une question donnée, il est demandé au candidat de **préciser de manière claire le numéro complet de la question** dès le début du traitement.

Enfin, il est rappelé que les correcteurs seront particulièrement sensibles à la qualité de la rédaction des copies, tant sur le fond (concision et clarté des explications) que sur la forme (lisibilité, présentation, mise en évidence des résultats). Notamment, **tout résultat littéral ou numérique** doit être **encadré avec une couleur différente de celle du texte.**

Ce sujet est constitué de trois dossiers :

- S le texte du sujet,
- S les annexes,
- S les documents réponse.

Introduction

Une prothèse auditive peut être essentiellement vue comme un dispositif miniaturisé d'amplification sonore. Cependant les différentes pathologies auditives, font qu'une simple amplification n'est que très rarement suffisante. Elle doit être associée à un véritable traitement du signal en vue d'égaliser la bande passante de l'ensemble prothèse-oreille et/ou de compresser la dynamique du signal. Ces fonctions sont, depuis plusieurs années, réalisées de manière analogique, avec les limitations que l'on sait. Le développement des techniques de fabrication CMOS permet maintenant d'intégrer sur un seul circuit spécifique toutes les fonctions nécessaires au traitement numérique d'un signal, depuis son acquisition (amplification et conversion analogique-numérique) jusqu'à sa restitution (conversion numérique-analogique, étage de puissance). De fait, plusieurs constructeurs proposent aujourd'hui des prothèses numériques. C'est une partie d'un tel dispositif que nous nous proposons d'étudier ici.

Afin de déterminer les caractéristiques principales de ce dispositif, quelques rappels sur le son et l'audition sont nécessaires. Le son est une variation de la pression de l'air. Cette variation est appelée pression sonore et se mesure en pascals (Pa). Le système auditif est ainsi fait que la sensation de son (que nous appellerons "intensité sonore") correspond à une échelle logarithmique. L'une des échelles utilisées est le décibel SPL (Sound Pressure Level), ou dB SPL, qui utilise comme référence les 20 μ Pa correspondant au son le plus faible à 1 kHz que peut percevoir une personne normoentendante. Une augmentation de 6 dB pour l'intensité sonore correspond au doublement de la pression sonore¹.

Une oreille fonctionnant normalement peut supporter un large éventail de pressions sonores. Le son le plus faible qui peut être perçu dépend de la fréquence. Le pic de sensibilité de l'audition se situe entre 1 et 4 kHz. La figure 1 montre le champ dynamique de l'audition. La limite inférieure de ce champ est la courbe du seuil de l'audition, tandis que la limite supérieure est appelée le seuil d'inconfort.

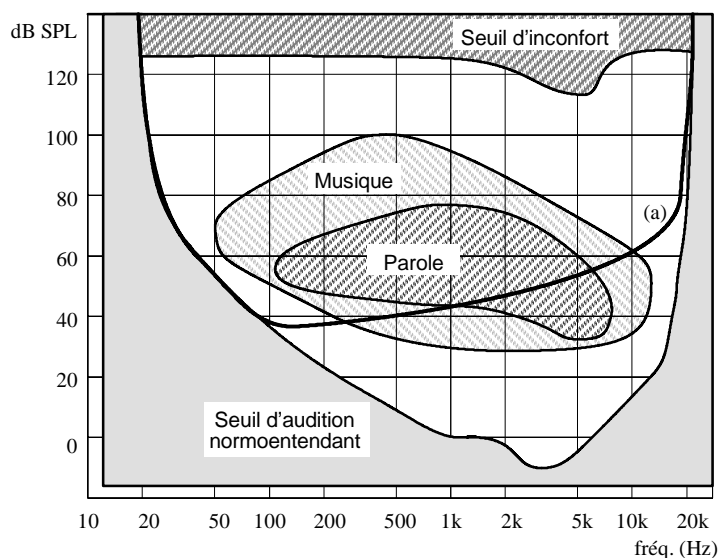


figure 1 : champ dynamique de l'audition. La courbe en gras (a) représente un exemple de limitation du champ de l'audition pour une personne malentendante.

À partir d'un schéma synoptique possible pour une aide auditive numérique (donné figure 2), nous pouvons fixer les points principaux du cahier des charges.

- S En ce qui concerne l'acquisition du son, la prothèse devra constituer un "organe d'audition" à peu près équivalent à l'oreille humaine normoentendante pour ce qui concerne la parole et une bonne partie de la musique : dynamique de la musique (30 dB SPL à 100 dB SPL) et bande passante de la voix (100 Hz à 8 kHz).
- S Le processeur de traitement du signal devra assurer des fonctions de filtrage, afin d'égaliser la réponse en fréquence de l'ensemble "prothèse-oreille", ainsi que des fonctions de compression de dynamique et de contrôle automatique de gain, de façon à ne jamais atteindre le seuil d'inconfort, tout en restant au-dessus du seuil de l'audition. Une entrée de programmation permettra de modifier le logiciel de traitement du signal.

1. Quelques points de repère sur cette échelle : mouvement de feuilles mortes 10 dB SPL, murmures 20 dB SPL, ambiance de bureau (ventilations, frappe clavier, etc.) 60 dB SPL, ambiance de chantier 100 dB SPL, marteau piqueur 120-130 dB SPL, décollage d'un avion 140 dB SPL.

- S Dans la pratique, un son est “masqué” par un autre dès lors que leurs niveaux diffèrent de plus de 40 dB. Il ne sera donc pas nécessaire d’obtenir un rapport signal sur bruit plus important en sortie de la prothèse.
- S Alimentation : les prothèses auditives sont normalement alimentées par une pile zinc-air de tension nominale 1,4 V. Cependant, afin d’ouvrir le choix des dispositifs utilisables, nous considérons une alimentation de 5 V.

Notre étude se limitera aux deux premiers étages de la prothèse. Dans une première partie (A – Modélisation du microphone), nous nous attacherons à caractériser le signal disponible en entrée de la prothèse. Dans un deuxième temps (B – Étude théorique de l’échantillonnage), nous choisirons les caractéristiques du filtre anti-repliement et la fréquence d’échantillonnage. Dans la troisième partie (C – Étude de l’étage d’entrée), nous étudierons la réalisation de l’ensemble amplificateur – filtre anti-repliement, en tenant compte des contraintes propres à une intégration de l’ensemble des composants sur un même substrat silicium dans une technologie CMOS industrielle. La quatrième partie (D – Choix du convertisseur analogique-numérique) nous permettra de fixer les caractéristiques du convertisseur analogique-numérique. Dans la cinquième partie (E – Étude du convertisseur analogique numérique), nous analyserons le fonctionnement d’un convertisseur algorithmique et nous ferons l’étude de sa logique de commande. Enfin, la sixième partie (F – Éléments de micro-électronique) sera consacrée à l’étude de montages élémentaires à base de transistors MOS, première étape de la conception d’amplificateurs opérationnels CMOS de qualité.

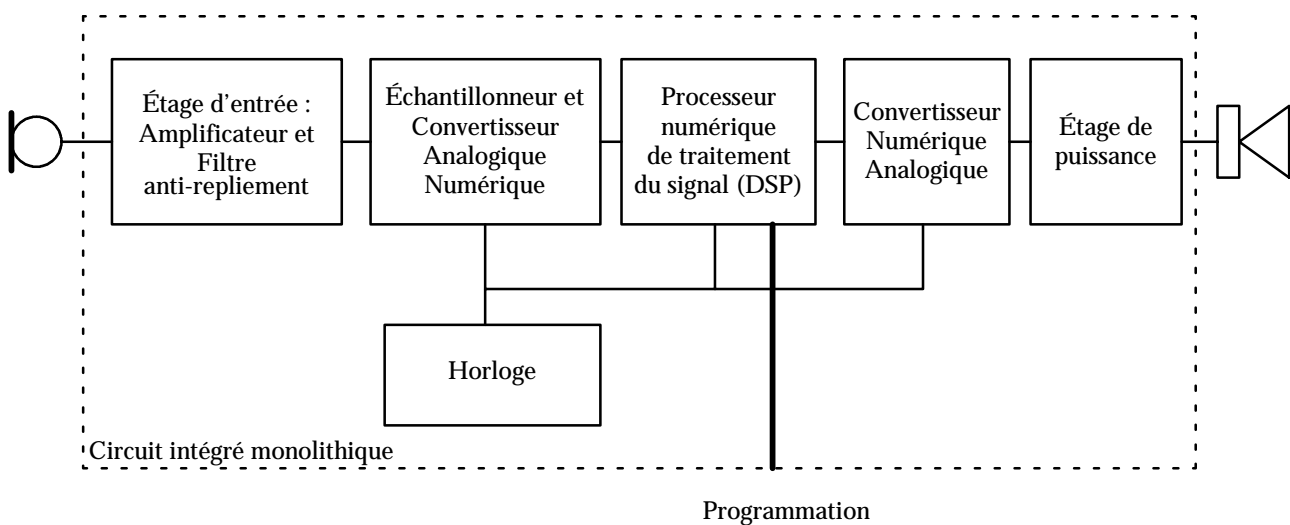


figure 2 : schéma synoptique d’une prothèse auditive numérique

A – Modélisation du microphone

Il s'agit d'un microphone de la série EA, type standard de chez Knowles. À partir des données constructeur (Cf. annexe 6.a) concernant le microphone, on souhaite établir un schéma équivalent de celui-ci. Les quelques questions ci-après portent donc sur sa modélisation. Nous utiliserons les notations suivantes.

- S $p_s(t)$ sera la valeur instantanée de la pression sonore, $P_S(p)$ sa transformée de Laplace et P_{Se} sa valeur efficace (unité Pa). On notera P_{SdB} la valeur de l'intensité sonore en dB SPL.
- S $v_s(t) = V_L + v_m(t)$ sera la valeur instantanée de la tension à vide entre les bornes de sortie et de masse du microphone. V_L sera la composante continue de cette tension, tandis que $v_m(t)$ sera la valeur instantanée de sa composante alternative (valeur moyenne nulle). On appellera $V_m(p)$ la transformée de Laplace et V_{me} la valeur efficace de $v_m(t)$.

S $T_m(p) = \frac{V_m(p)}{P_S(p)}$ sera la transmittance du microphone.

A-1 La sensibilité S du microphone est le quotient de la tension apparaissant à ses bornes sur la pression sonore. Que vaut S à 1 kHz ?

A-2 En tenant compte des variations qui existent d'un échantillon de microphone à l'autre, complétez le tableau du document réponse 1 avec les valeurs attendues de V_{me} pour des intensités sonores de 30 dB SPL et 100 dB SPL aux fréquences 1 kHz et 5 kHz.

Modélisation en fréquence de la sensibilité. L'aspect "plat" de la courbe de sensibilité aux alentours de 1 kHz suggère que la réponse du microphone puisse être modélisée par la mise en cascade d'un filtre passe-haut et d'un filtre passe-bas.

- A-3 Donnez la fonction de transfert et les caractéristiques du filtre passe-haut le plus simple permettant d'obtenir une réponse similaire à celle du microphone dans la bande 100 Hz – 1 kHz.
- A-4 Donnez la fonction de transfert et les caractéristiques du filtre passe-bas le plus simple permettant d'obtenir une réponse similaire à celle du microphone dans la bande 1 kHz – 10 kHz.
- A-5 Exprimez la fonction de transfert du microphone sous la forme $T_m(p) = S F(p)$ où S est une constante dont vous indiquerez les valeurs minimale, maximale et typique, tandis que $F(p)$ est une fonction de transfert dont le module est unitaire à une fréquence que vous indiquerez (approximativement).

Pour la suite du problème, on prendra $F(p) = \frac{p (12000 \pi)^2}{(p + 400 \pi) ((12000 \pi)^2 + 6720 \pi p + p^2)}$

Modélisation du bruit produit par le microphone. La mention "A-weighted, 1 kHz ref." signifie que la mesure du bruit a été faite après un filtre pondération dont la transmittance $H(p)$ est donnée ci-après.

$$H(p) = \frac{K p^2 \sqrt{\omega_1 \omega_2 \omega_3 \omega_4}}{(p + \omega_1)(p + \omega_2)(p + \omega_3)(p + \omega_4)} \quad \text{avec} \quad \begin{cases} \omega_1 = 2 \pi 150 \text{ rd/s} \\ \omega_2 = 2 \pi 800 \text{ rd/s} \\ \omega_3 = 2 \pi 9000 \text{ rd/s} \\ \omega_4 = 2 \pi 18000 \text{ rd/s} \end{cases}$$

Dans cette expression, K est tel que, à 1 kHz, le module de cette fonction de transfert est égal à l'unité.

- A-6 Déterminez K .
- A-7 Tracez l'évolution du module de $H(j\omega)$ pour une fréquence variant de 30 Hz à 100 kHz. On prendra une échelle horizontale logarithmique de 3 cm pour un module et une échelle verticale de 3 cm pour 10 dB.

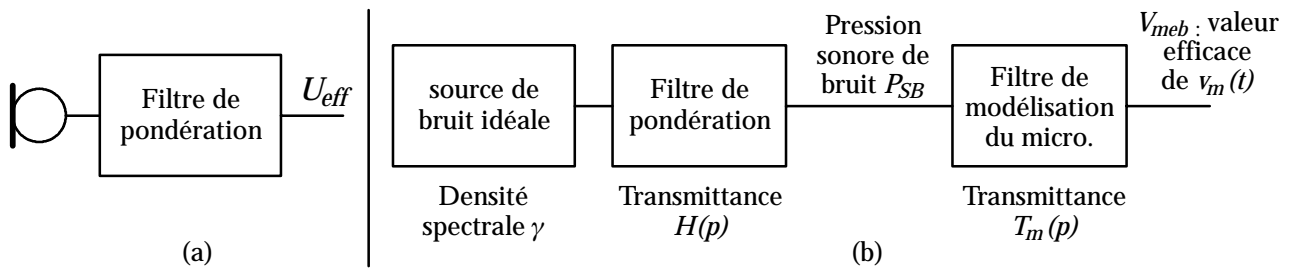


figure 3 : (a) mesure du bruit du microphone ; (b) calcul du niveau de bruit ramené en entrée

Un synoptique du schéma de mesure du bruit est donné figure 3-a. La grandeur relevée est alors la valeur efficace de la tension de sortie du filtre de pondération que nous nommerons U_{eff} dans la suite de ce problème. Pour déterminer le niveau de bruit ramené à l'entrée du microphone, on considère un montage fictif dans lequel une source de bruit blanc idéale, de densité spectrale γ , est reliée au filtre de pondération et à un filtre modélisant la fonction de transfert du microphone suivant le schéma de la figure 3-b. Les deux filtres ne sont pas sensés introduire de bruit.

A-8 Précisez les unités de γ et P_{SB} .

A-9 Exprimez P_{SB} et V_{mef} en fonction de γ et des transmittances des deux filtres.

A-10 La densité spectrale γ de la source de bruit est choisie telle que V_{mef} (figure 3-b) soit égale à U_{eff} (figure 3-a). Exprimez V_{mef} en fonction de P_{SB} et des transmittances des deux filtres (P_{SB} correspond au "niveau de bruit ramené en entrée" donné dans la documentation).

On admettra les deux résultats suivants :

$$I = \int_0^{\infty} \frac{x^4}{\left(x^2 + \frac{9}{400}\right) \left(x^2 + \frac{16}{25}\right) (x^2 + 81) (x^2 + 324)} dx \approx \pi 10^{-4}$$

$$J = \int_0^{\infty} \frac{x^6}{\left(x^2 + \frac{9}{400}\right) \left(x^2 + \frac{16}{25}\right) (x^2 + 81) (x^2 + 324) \left(x^2 + \frac{1}{25}\right) \left((x^2 - 36)^2 + \frac{7056}{625} x^2\right)} dx \approx 97,4 \pi 10^{-9}$$

A-11 Exprimez maintenant V_{mef} en fonction de S et P_{SB} seulement.

A-12 En considérant le microphone dans son fonctionnement "normal", exprimez le rapport signal sur bruit (dB) en sortie du microphone en fonction de l'intensité sonore P_{SDb} , du niveau de bruit ramené à l'entrée P_{SBdB} et de la fréquence f du signal utile. Calculez ce rapport signal sur bruit dans le cas d'un signal sonore à 1 kHz, d'intensité 30 dB SPL.

On revient maintenant au schéma de la figure 3-a. On souhaite modéliser le bruit du microphone par une source de bruit placée en série avec un microphone idéal.

A-13 En exploitant la documentation mise à votre disposition, indiquez en quelques mots l'origine du bruit mesuré à la sortie du microphone et l'allure de sa densité spectrale (en la justifiant).

A-14 On suppose maintenant que le bruit en sortie du microphone est blanc. Que peut-on alors dire de sa densité spectrale $\gamma_m(f)$? Comment peut-on justifier cette approximation?

A-15 Toujours dans l'hypothèse d'un bruit blanc, déterminez numériquement la relation qui lie U_{eff} et $\gamma_m(f)$. Quelle est la bande passante de bruit du filtre de pondération?

A-16 À partir du résultat de la question A-11 et des documents constructeur, déterminez les valeurs maximum et typique de $\gamma_m(f)$.

Schéma équivalent.

A-17 Dessinez un schéma équivalent du microphone, "vu de sa sortie", sous forme d'un dipôle. Ce schéma devra rendre compte des principales caractéristiques du signal de sortie. On placera à côté de lui un tableau récapitulatif des valeurs minimales, typiques et maximales des composants de ce schéma équivalent.

B – Étude théorique de l'échantillonnage

Pour modéliser l'échantillonnage, on a coutume de considérer le produit du signal à échantillonner $S(t)$ par une fonction peigne $P(t)$, représentée par une suite d'impulsions de Dirac δ :

$$P(t) = \sum_{n=-\infty}^{+\infty} \delta(t - nT_e) = \frac{1}{T_e} \sum_{k=-\infty}^{+\infty} e^{j\frac{2\pi kt}{T_e}}$$

où T_e représente la période d'échantillonnage.

Le signal échantillonné, $S_p(t)$ est alors défini par :

$$S_p(t) = S(t) P(t)$$

Remarque : on a choisi de noter par un exposant F la transformée de Fourier d'une fonction du temps.

$$TF [S(t)] = S^F(f)$$

- B-1 Déterminez l'expression analytique de la transformée de Fourier $P^F(f)$ de $P(t)$. Déduisez-en l'expression de la transformée de Fourier $S_p^F(f)$ de $S_p(t)$ en fonction de $S^F(f)$.
- B-2 Sur le document réponse 2, on a représenté le spectre de $S(t)$. Complétez la partie B-2 avec le spectre de $S_p(t)$. (F_c représente la fréquence limite supérieure du spectre du signal $S(t)$ tandis que F_e représente la fréquence d'échantillonnage.)
- B-3 À quelle(s) condition(s) peut-on reconstituer $S(t)$ par filtrage (idéal) à partir de $S_p(t)$?
- B-4 Un signal réel (tel que celui fourni par un microphone) ne satisfait que rarement à la condition énoncée. Quel dispositif doit être inséré entre la source et l'échantillonneur ? Comment fixer ses caractéristiques principales en fonction des "qualités" attendues pour le signal de sortie ?

Échantillonnage – blocage. Le signal prélevé est *figé* pendant un intervalle de temps τ . Tout se passe comme si le signal $S_p(t)$ traversait un filtre de fonction de transfert G telle que la réponse à une impulsion $\delta(t)$ soit un signal rectangulaire $g(t)$ de largeur τ et de hauteur unité ($\tau \pm T_e$).

- B-5 Déterminez l'expression analytique de la fonction de transfert $G(f)$.
- B-6 Déduisez-en l'expression de la transformée de Fourier $S_\tau^F(f)$ du signal échantillonné-bloqué en fonction de $S^F(f)$, puis complétez la partie B-6 du document réponse 2 avec $|S_\tau^F(f)|$ quand $\tau = 5T_e/8$.
- B-7 Que se passe-t-il si la durée du blocage τ est égale à la période d'échantillonnage T_e . Complétez la partie B-7 du document réponse 2 avec $S_{T_e}^F(f)$.
- B-8 Comparez les spectres de $S(t)$, $S_p(t)$ et $S_\tau(t)$. En particulier, est-il possible de reconstituer $S(t)$ à partir de $S_\tau(t)$ par un simple filtrage passe-bas ? Sur quel(s) paramètre(s) doit-on agir pour diminuer la distorsion de spectre ?

Filtre anti-repliement. Pour cette fonction, on utilisera la réponse en fréquence du microphone que l'on complétera par un étage de filtrage supplémentaire. **Pour les questions qui suivent, c'est cet ensemble "microphone plus étage de filtrage" que nous désignerons par le terme "filtre anti-repliement"**. Il devra permettre d'obtenir un rapport "signal utile sur signaux image" d'au moins 40 dB. En revanche, l'ondulation acceptable dans la bande passante sera de 6 dB.

- B-9 On envisage d'utiliser une fréquence d'échantillonnage de 18 kHz. Tracez le gabarit que doit satisfaire la fonction de transfert du filtre anti-repliement, si l'on envisage comme pire cas l'occurrence d'un son de 100 dB SPL à la fréquence de 10 kHz, alors que l'intensité sonore dans la bande 100 Hz – 8 kHz ne dépasse pas 40 dB SPL.
- B-10 Utilisez les abaques constituant le document réponse 3 pour estimer les ordres des filtres de Butterworth, Tchebycheff et Causer satisfaisant ce gabarit. Rappelez sur votre copie les valeurs de P_1 , P_2 , P_3 , λ et, bien sûr, celle de n .
- B-11 Au passage, rappelez, par trois graphes et quelques mots, les principales caractéristiques de ces trois types de filtres.
- B-12 On décide d'augmenter la fréquence d'échantillonnage. En quoi cette solution permettra-t-elle de pallier le phénomène envisagé à la question B-9 ? En notant F_c la fréquence limite haute du signal utile et F_e la fréquence d'échantillonnage, tracez le gabarit que doit satisfaire le filtre anti-repliement si l'on considère que le pire cas est l'occurrence d'un son d'intensité 100 dB SPL à une fréquence telle qu'il crée un signal image dans la bande utile, tandis que l'intensité sonore dans cette bande ne dépasse pas 40 dB SPL.
- B-13 Calculez, à partir du document réponse 3 et pour chacun des trois filtres, le rapport F_e/F_c au delà duquel on peut se contenter d'un filtre anti-repliement du troisième ordre.

C – Étude de l'étage d'entrée

Schéma. On choisit une fréquence d'échantillonnage $F_e = 320 \text{ kHz}$. On souhaite définir maintenant les caractéristiques de l'étage d'entrée. Il a trois fonctions principales : compléter le filtrage anti-repliement partiellement assuré par la courbe de réponse du microphone, éliminer la composante continue présente en sortie du microphone et amplifier le signal de façon à présenter en entrée de l'échantillonneur bloqueur un signal de 50mV crête à crête au maximum quand le niveau sonore est de l'ordre de 100 dB SPL. Il s'agit donc d'un étage de filtrage. La figure 4 représente le gabarit du filtre anti-repliement. Les valeurs d'atténuation portées sur ce gabarit sont relatives à la transmittance du filtre à 1 kHz. Dans les basses fréquences, on impose seulement que l'atténuation du continu soit infinie.

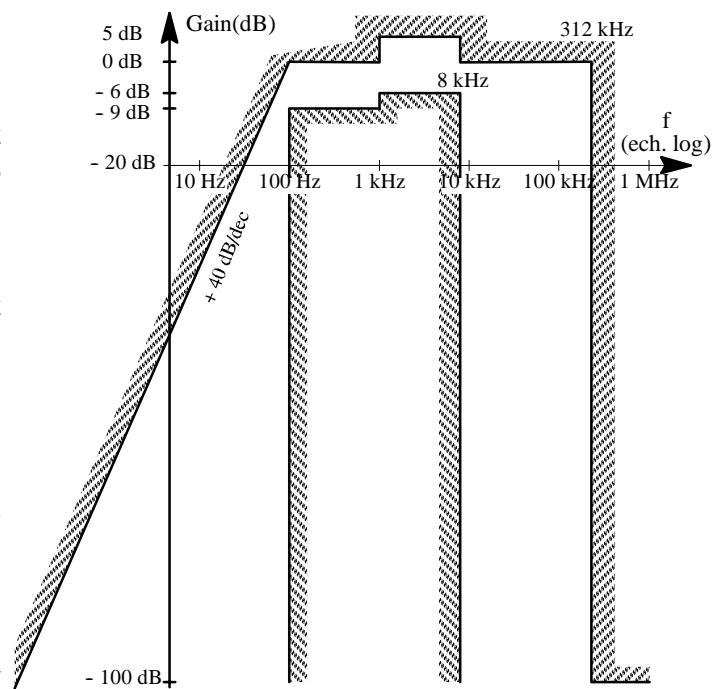


figure 4 : gabarit du filtre anti-repliement

C-1 En tenant compte des caractéristiques du microphone, tracez le gabarit de la réponse en fréquence de l'étage d'entrée.

C-2 On se propose d'utiliser un filtre tel que celui de la figure 5. Donnez un schéma équivalent de l'ensemble "microphone - étage d'entrée" permettant de rendre compte de toutes les caractéristiques (y compris la dispersion d'un échantillon à l'autre) du microphone, hormis le bruit. L'amplificateur opérationnel sera considéré comme idéal.

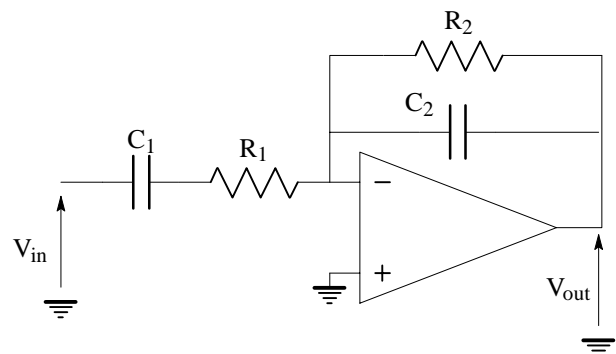


figure 5 : schéma de l'étage d'entrée

C-3 En tenant compte de l'influence du microphone, indiquez quelles relations doivent satisfaire les composants du montage pour que la réponse de cet étage respecte le gabarit défini à la question C-1 ?

Réalisation des éléments passifs. On rappelle que les éléments de ce filtre devront, autant que cela sera possible, être intégrés sur le même substrat. Ainsi, l'amplificateur opérationnel sera choisi dans la bibliothèque d'éléments précaractérisés de AMS, tandis que **les résistances et les capacités seront dessinées en utilisant les règles données en annexe 1, règles que le candidat est vivement invité à lire avant de commencer à traiter les questions** suivantes qui ont pour objectif de dégager des règles de choix des éléments passifs.

Capacités.

C-4 En supposant que l'on réalise à chaque fois des capacités de forme carrée, déterminez toutes les dimensions, ainsi que la surface nécessaire, pour réaliser chacune des six capacités suivantes : $C_1 = 0,01 \text{ pF}$, $C_2 = 0,1 \text{ pF}$, $C_3 = 1 \text{ pF}$, $C_4 = 10 \text{ pF}$, $C_5 = 100 \text{ pF}$, $C_6 = 1 \text{ nF}$. Complétez le tableau du document réponse 4.

C-5 En vous reportant aux documentations fournies avec le sujet, comparez ces dimensions avec celles d'un amplificateur opérationnel. Pour avoir un autre point de comparaison, sachez que, dans la même bibliothèque de cellules précaractérisées, la plus petite porte logique, l'inverseur, occupe une surface de $413 \mu\text{m}^2$. Que pouvez-vous en conclure sur les capacités réalisables dans cette technologie ?

C-6 Pour chacune des capacités réalisables, et à partir des dimensions que vous aurez déterminées à la question C-4, déterminez la valeur minimale, la valeur maximale et la valeur typique que pourra avoir cette capacité lorsque le circuit sera réalisé. Reportez vos résultats sur le tableau du document réponse 5.

Les valeurs minimales et maximales données dans les tableaux de l'annexe 1 caractérisent la dispersion des paramètres d'une fabrication à l'autre. Cependant, sur un même circuit, on peut considérer que la valeur de chacun de ces paramètres est constante d'un composant à l'autre.

C-7 Soient L_2 et W_2 les dimensions dessinées pour l'électrode poly2 (rectangulaire) d'une capacité. Soit Δe la valeur du retrait affectant cette couche, de telle façon que les dimensions effectives de cette électrode soient $L_e = L_2 - 2\Delta e$ et $W_e = W_2 - 2\Delta e$. Déterminez l'erreur absolue et l'erreur relative induites sur la capacité par le retrait Δe .

C-8 En raisonnant sur les valeurs déterminées à la question C-4, montrez que, si la capacité est suffisamment grande (on précisera ce que signifie "suffisamment"), l'erreur relative peut se mettre sous la forme :

$$\frac{\Delta C}{C} = -2 \Delta e \frac{(L_2 + W_2)}{L_2 W_2}$$

C-9 A quelle condition le rapport de deux capacités peut-il être fixé avec une bonne précision ? Dégagez des résultats précédents deux méthodes permettant chacune de réaliser deux capacités C_A et C_B telles que $C_A/C_B = 3/5$.

C-10 Afin d'évaluer l'ordre de grandeur des capacités parasites, calculez, puis reportez sur le tableau du document réponse 6, pour chacune des capacités de la question C-4, la valeur typique de la capacité parasite entre poly1 et substrat.

Résistances

C-11 On considère une résistance repliée en serpentín comme celle de la figure 1 (Annexe 1). Soit k le nombre de segments verticaux, h la hauteur du dessin (mesurée parallèlement à L_1) et l sa largeur (mesurée parallèlement à D , on ne prend pas en compte les deux contacts des extrémités de la résistance). Exprimez h et l en fonction de la valeur R de la résistance, de la résistivité R_η (en Ω/h), de k , de la largeur W du "ruban" et de la distance D entre deux plis.

C-12 En éliminant k entre ces deux expressions et en considérant que le dessin de la résistance est approximativement carré, exprimez la surface théorique de la résistance $S_{th} = h l$ en fonction des autres paramètres. Déduisez-en la valeur à donner à k .

C-13 Pour les quatre types de résistances disponibles, calculez puis reportez sur le tableau du document réponse 7, les valeurs typiques de W et D après réalisation si l'on dessine la résistance en prenant $W = 5W_{min}$ et $D = D_{min}$.

C-14 Pour chacune des résistances suivantes, calculez S_{th} , k , h , l et $S = hl$ la surface effectivement occupée par la résistance. Pour chaque résistance, on prendra $W = 5W_{min}$, $D = D_{min}$ et on utilisera le matériau qui paraîtra le plus approprié (une justification de ce choix sera appréciée par les correcteurs).

10 Ω , 100 Ω , 1 k Ω , 10 k Ω , 100 k Ω , 1 M Ω , 10 M Ω , 100 M Ω

C-15 En vous basant sur les mêmes données que celles de la question C-5, déduisez des réponses à la question C-14 les valeurs de résistance réalisables dans cette technologie.

C-16 On ne considère plus que les résistances réalisées en polyH. Calculez les valeurs typiques, minimales et maximales des résistances $R_4 = 10$ k Ω et $R_7 = 10$ M Ω . Déduisez-en les incertitudes absolues et relatives sur les valeurs de ces deux résistances.

C-17 On souhaite réaliser deux résistances R_A et R_B telles que $R_A/R_B = 3/5$. A quels détails du dessin de ces résistances seriez-vous attentifs pour que ce rapport soit le plus précis possible ? Vous pouvez préciser votre idée par un schéma.

Filtre anti-repliement. On considère maintenant que $R_2 C_2 = 20 \mu\text{s}$, $(R_1 + 3,5 \text{ k}\Omega) C_1 = 1,6 \text{ ms}$ et $K = R_2 / (R_1 + 3,5 \text{ k}\Omega) = 35$. On souhaite déterminer ces quatre composants de telle façon qu'ils occupent une surface minimale, que la constante de temps de $20 \mu\text{s}$ soit respectée à 5% près et que celle de $1,6 \text{ ms}$ soit respectée par excès.

C-18 Une analyse des résultats des questions C-4 et C-14 a permis de dégager les approximations suivantes sur les surfaces d'une capacité et d'une résistance (unités SI) :

$$S_C(C) = 241 C^{0,963} \quad \left\{ \begin{array}{l} \text{à } 10 \% \text{ près pour } 500 \text{ fF} < C < 1 \text{ nF} \\ \text{à } 1 \% \text{ près pour } 2 \text{ pF} < C < 50 \text{ pF} \end{array} \right.$$

$$S_R(R) = \frac{R^{0,9861}}{32,45 \cdot 10^{12}} \quad \left\{ \begin{array}{l} \text{à } 10 \% \text{ près pour } 10 \text{ k}\Omega < R < 100 \text{ M}\Omega \\ \text{à } 1 \% \text{ près pour } 70 \text{ k}\Omega < R < 10 \text{ M}\Omega \end{array} \right.$$

Montrez que, pour toute constante de temps $\tau = RC$, il existe un couple (R, C) minimisant la surface totale $S_T = S_C + S_R$. Exprimez les valeurs de R , C et S_T en fonction de τ (on aura intérêt à effectuer le calcul de manière littérale en posant $\alpha = 241$, $\beta = 0,963$, $\gamma = 1/(32,45 \cdot 10^{12})$ et $\delta = 0,9861$).

C-19 Utilisez ce résultat pour calculer la surface utilisée, ainsi que les valeurs de composants correspondantes, pour réaliser les constantes de temps de $20 \mu\text{s}$ et $1,6 \text{ ms}$ (pour cette question, on supposera $3,5 \text{ k}\Omega$ négligeables devant R_1).

C-20 Que se passe-t-il pour le rapport $R_2 / (R_1 + 3,5 \text{ k}\Omega)$? Qu'en déduisez-vous ?

C-21 On décide de placer la capacité C_1 à l'extérieur du circuit (c'est-à-dire que C_1 sera un composant *discret*). *A posteriori*, pouvez-vous justifier ce choix ?

C-22 En remarquant que R_2 et R_1 sont liées, il est possible de faire un raisonnement analogue à celui de la question C-18, conduisant à une minimisation de la surface totale $S_T = S_{C_2} + S_{R_2} + S_{R_1}$.

Montrez que la condition "S_T minimum" peut s'écrire :

$$\frac{A \tau_2^{0,963}}{R_2^{1,9491}} = 1 + \frac{1}{K^{0,9861}} \left(1 - \frac{BK}{R_2} \right)^{-0,0139}$$

où $K = \frac{R_2}{R_1 + 3,5 \text{ k}\Omega}$, $\tau_2 = R_2 C_2$, A et B étant deux constantes que vous déterminerez.

En considérant que la valeur de R_2 est peu différente de celle qui a été déterminée à la question C-19, remplacez le terme d'exposant $-0,0139$ par un développement limité dans lequel vous négligerez tous les termes plus petits que 10^{-3} . Déduisez-en alors les valeurs à donner à R_1 , R_2 et C_2 , ainsi que la surface totale S_T utilisée par ces trois composants.

C-23 Déterminez les dimensions de ces trois composants (côté du poly2 pour la capacité, nombre de plis, hauteur et largeur pour les résistances). Complétez ensuite le tableau du document réponse 8 en tenant compte de l'incertitude sur les différents composants. Comparez ces résultats aux contraintes du cahier des charges.

Il est clair que la constante de temps $R_2 C_2$ s'éloigne de plus de 5% de sa valeur nominale. Cet écart restant fixe après la fabrication du circuit, il est possible d'y remédier en prévoyant de réaliser C_2 comme un ensemble de capacités en parallèle qu'il suffira de connecter ou de déconnecter pour ajuster la valeur de C_2 . Nous nous proposons donc de déterminer la structure à donner à C_2 pour pouvoir ramener la constante de temps $R_2 C_2$ à moins de 5% de sa valeur nominale.

C-24 Entre quelles valeurs doit-on pouvoir faire varier C_2 pour compenser l'incertitude sur R_2 ?
Après ajustement, la capacité C_2 peut s'exprimer par :

$$C_2 = C_X (A + n) \quad (0 \leq n < 2^N)$$

où A et n sont des nombres entiers, ce dernier correspondant à la grandeur de réglage.

C-25 (a) En supposant que C_X est entaché d'une incertitude de $\pm 10\%$, déterminez la plus grande valeur nominale de C_X telle qu'une variation de n d'une unité entraîne une variation de moins de 5% sur $R_2 C_2$.

(b) Ecrivez les deux autres contraintes que doivent satisfaire A , N et C_X pour que les valeurs extrêmes de C_2 qui ont été calculées à la question C-24 puissent être atteintes pour tout échantillon du circuit, en faisant varier n entre 0 et $2^N - 1$.

(c) De la valeur maximale de C_X et de ces deux contraintes, déduisez la valeur à donner à N que vous choisirez le plus petit possible.

(d) Avec la valeur de N que vous venez de calculer, réécrivez les contraintes du point (b) et déduisez-en la plus grande valeur entière de A les satisfaisant.

(e) Déduisez ensuite, de cette valeur de A et des deux contraintes, la valeur à donner à C_X .

(f) Récapitulez les valeurs de A , N et C_X , puis vérifiez que l'objectif (accéder aux valeurs extrêmes calculées pour C_2 quel que soit l'échantillon du circuit que l'on considère) est atteint.

C-26 Décrivez la réalisation de la capacité C_2 . Dimensions, valeurs des capacités élémentaires, schéma, programmation (on ne demande pas de décrire la logique de programmation ni la façon de réaliser les interrupteurs).

C-27 En tenant compte de la dispersion des caractéristiques des microphones et des composants intégrés, calculez les valeurs extrêmes du gain de l'étage d'entrée (calculé par rapport à la tension de sortie à vide du microphone) à 1 kHz (on suppose que $R_2 C_2$ est réglée à $20 \mu\text{s}$).

C-28 Choisissez la capacité C_1 (valeur, tolérance, technologie).

Étude du bruit dans l'étage d'entrée.

– **Dans une résistance**, le bruit se manifeste par une tension aléatoire présente à ses bornes et dont l'amplitude est fonction de la température du matériau. La densité spectrale de puissance de bruit thermique, c'est-à-dire la puissance de bruit thermique dans une bande de fréquence de 1 Hz, dans les gammes de fréquence et de température usuelles, est donnée par la relation approchée :

$$\Phi_{TH}(f) \approx K T \text{ avec } K = 1,38 \cdot 10^{-23} \text{ J/K (constante de Boltzmann) et } T \text{ la température absolue.}$$

C-29 Exprimer la puissance de bruit thermique $P_d(f_1, f_2)$ générée dans une résistance R entre les fréquences f_1 et f_2 .

C-30 La puissance moyenne de bruit disponible correspond au maximum de puissance que le modèle (résistance non bruyante en série avec une source de tension de bruit) peut délivrer à une charge extérieure R_{ext} . Indiquer la valeur de cette charge et en déduire la valeur efficace de la tension de bruit e_{bR} pour une bande de fréquence $(f_1 - f_2) = \Delta f$.

– Dans l'amplificateur opérationnel.

C-31 Dans les documentations de cellules précaractérisées analogiques (annexe 6), la densité spectrale de tension de bruit en^2 est décrite par deux valeurs, correspondant à des fréquences différentes. Expliquez pourquoi.

C-32 En admettant que la densité spectrale de tension de bruit peut se mettre sous la forme :

$$en^2 = a + \frac{b}{f}$$

indiquez comment déterminer les valeurs typiques de a et b pour chacun des amplificateurs opérationnels de la bibliothèque (OP01B, OP02B, OP03B, OP05B et SB1) et complétez le document réponse 9 (n'oubliez pas d'indiquer l'unité de chaque colonne dans la dernière ligne du tableau).

C-33 Quelle signification peut-on donner au rapport b/a ? Représentez sur un même diagramme semi-logarithmique les valeurs de $20 \log_{10}(en)$ en fonction de la fréquence (10 Hz à 100 kHz) pour les six amplificateurs précédents (échelle horizontale : 4 cm / module ; échelle verticale : 4 cm / 10 dB).

La figure 6 représente un schéma équivalent de l'ensemble "microphone - étage d'entrée", ne faisant apparaître que les sources de tension de bruit propres à l'étage d'entrée. Parce que le signal sera encore filtré après numérisation, on ne s'intéresse maintenant au bruit que dans la bande 50 Hz à 9 kHz. Enfin, nous supposons que tous les composants sont à la température de 310 K.

C-34 Calculez les contributions $S_{V_{sr1}}(f)$ et $S_{V_{sr2}}(f)$ de chacune des résistances R_1 et R_2 à la densité spectrale de bruit en sortie. Calculez ensuite numériquement les valeurs efficaces V_{R1} et V_{R2} des contributions de chacune de ces résistances à la valeur efficace de la tension de bruit en sortie quand on la calcule dans la bande de fréquence 50 Hz à 9 kHz.

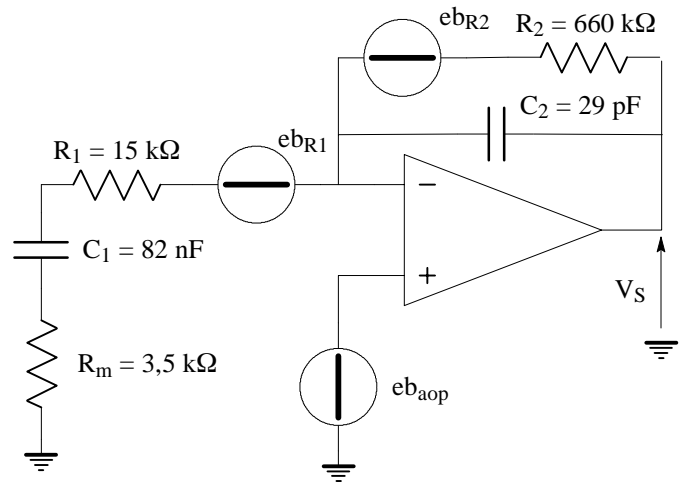


figure 6 : sources de bruit de l'étage d'entrée (eb_x^2 est la densité spectrale du bruit produit par l'élément X)

C-35 Calculez, en fonction des a et b déterminés à la question C-32, la contribution $S_{V_{saop}}(f)$ de l'amplificateur opérationnel à la densité spectrale de bruit en sortie. Calculez ensuite numériquement la valeur efficace V_{AOP} de sa contribution à la valeur efficace de la tension de bruit en sortie quand on la calcule dans la bande de fréquence 50 Hz à 9 kHz.

Remarque : en calculant les valeurs que peut prendre le rapport $\frac{8 \cdot 10^5 - f^2}{5 \cdot 10^5 f}$ dans la bande de fréquences considérée, on peut grandement simplifier l'expression de V_{AOP}

C-36 Pour chacun des amplificateurs opérationnels de la bibliothèque, déterminez la valeur efficace de tension de bruit qu'il induirait en sortie du montage s'il y était placé.

C-37 En ré-exploitant un des résultats de la question C-34 et le tableau établi à la question A-17, calculez numériquement la tension de bruit induite en sortie du montage par le bruit propre du microphone. Déduisez-en la valeur efficace de tension de bruit totale en sortie du montage en considérant l'amplificateur opérationnel le plus favorable.

C-38 Tracez l'évolution du rapport signal sur bruit en sortie de l'étage d'entrée quand le niveau sonore varie de 30 dB SPL à 100 dB SPL. Conclusion ?

D – Choix du convertisseur analogique numérique

Remarque : cette étude sera faite dans le cas d'un quantificateur, que nous supposons infiniment rapide, auquel sera appliqué un signal non échantillonné. Nous admettons que les résultats établis ici peuvent se généraliser au cas d'un signal échantillonné.

Choix de la résolution du quantificateur

Soit $\text{floor}(x)$ la fonction qui associe à tout nombre réel x le plus grand entier relatif inférieur ou à la limite égal à ce nombre. Nous étudions un quantificateur tel que la valeur numérique associée au code de sortie est donnée par la relation

$$S = \min \left[S_{\max}, \max \left(S_{\min}, \left(\frac{1}{2} + \text{floor} \left(\frac{V_e}{q} \right) \right) \right) \right]$$

Dans cette expression, V_e représente la grandeur placée en entrée du quantificateur, S_{\min} et S_{\max} sont respectivement les bornes minimum et maximum de la valeur de sortie et q est le pas de quantification.

- D-1 Tracez la courbe représentative de $S(V_e)$, fonction de transfert du quantificateur, pour V_e variant de $-6q$ à $6q$, quand $S_{\min} = -3,5$ et $S_{\max} = 3,5$. Vous prendrez 1 cm pour représenter q sur l'échelle horizontale et une unité sur l'échelle verticale.
- D-2 La valeur numérique obtenue en sortie du quantificateur représente une mesure, que nous appellerons $\overline{V_e}$, de la grandeur d'entrée V_e . Quelle est la relation qui lie S et $\overline{V_e}$?
- D-3 Représentez sur la même figure que $S(V_e)$, en précisant l'échelle, l'erreur de quantification $\epsilon(V_e) = \overline{V_e} - V_e$
- D-4 Exprimez, en fonction de S_{\max} , S_{\min} et q , le nombre Q de valeurs différentes, susceptibles d'apparaître en sortie du quantificateur. On ne s'intéresse qu'aux quantificateurs pour lesquels cette valeur est une puissance de 2. On définit donc N , le nombre de bits du quantificateur, par $Q = 2^N$.
- D-5 Soient V_{\max} et V_{\min} les valeurs telles que, quel que soit $V_e > V_{\max}$ ou $V_e < V_{\min}$,

$$|\epsilon(V_e)| > \frac{q}{2}$$

Exprimez V_{\max} et V_{\min} en fonction de S_{\min} , S_{\max} et q . Que peut-on dire de V_{\max} et V_{\min} si $S_{\min} = -S_{\max}$? Pour la suite de ce problème, nous considérerons que $S_{\min} = -S_{\max}$. Exprimez q en fonction de V_{\max} et N .

Nous admettons que, lorsque l'amplitude du signal d'entrée dépasse quelques pas de quantification, l'erreur de quantification peut être assimilée à un bruit "blanc" dont la valeur instantanée v , toujours comprise entre $-q/2$ et $q/2$, est une variable aléatoire indépendante, équiprobable dans cet intervalle.

- D-6 Représentez graphiquement la densité de probabilité $p(v)$ du bruit de quantification et sa fonction de répartition. Le choix des échelles est laissé au candidat qui devra les préciser.
- D-7 Dans le cas général d'un bruit $b(t)$, fonction aléatoire du temps, stationnaire d'ordre 2, donnez l'expression de la puissance moyenne P_m de ce bruit (définie par convention comme la puissance qui serait dissipée dans une résistance de 1Ω si $b(t)$ était la tension présente à ses bornes). En remarquant que P_m n'est autre que l'espérance mathématique du carré de $b(t)$, exprimez P_m en fonction de $p(b)$, densité de probabilité de ce bruit.
- D-8 Soit P_{bq} la puissance moyenne du bruit de quantification. En utilisant le résultat précédent, exprimez cette puissance en fonction des paramètres du quantificateur.

Evolution du rapport signal/bruit

- D-9 Soit un signal sinusoïdal $V_e(t) = V_m \cos \omega t$ appliqué en entrée du quantificateur. Exprimez, en décibels, le rapport signal sur bruit de quantification $RSBQ_{dB}$ en sortie du quantificateur (on notera V_{eff} la valeur efficace de $V_e(t)$).
- D-10 Représenter graphiquement, sur le document réponse 10, l'évolution de

$$RSBQ_{dB} = f \left[\left(\frac{V_{eff}}{V_{emax}} \right)_{dB} \right]$$

(on se place dans le cas où $V_{emin} = -V_{emax}$ et $N = 8$).

Vous indiquerez, et justifierez, pour quelles valeurs du rapport $(V_{eff}/V_{emax})_{dB}$ cette courbe est valide.

- D-11 Que se passe-t-il quand N varie ? Tracez les courbes correspondant à $N = 4$ et $N = 12$. Comment évolue le domaine de validité ?

Le résultat établi en D-10 n'est valable que pour les amplitudes de signal d'entrée supérieures à quelques pas de quantification. Nous nous proposons maintenant d'étudier le comportement du quantificateur soumis à une tension d'entrée sinusoïdale de très faible amplitude $V_e(t) = V_m \cos \omega t$.

- D-12 Représenter une période de $\overline{V_e}$ et V_e pour V_m compris entre 0 et q .
- D-13 $\overline{V_e}$ peut se décomposer en série de Fourier. Exprimer l'amplitude du fondamental U_1 et la valeur efficace U_{eff} de $\overline{V_e}$.
- D-14 Représenter une période de $\overline{V_e}$ et V_e puis exprimer U_1 et U_{eff} pour V_m compris entre q et $2q$.
- D-15 Exprimez U_1 et U_{eff} pour V_m compris entre $2q$ et $3q$, puis généralisez : $U_1(V_m)$ et $U_{eff}(V_m)$ pour V_m quelconque.

Ce sont les harmoniques de $\overline{V_e}$ qui correspondent à ce que nous avons appelé le bruit de quantification. Pour retrouver le rapport signal sur bruit de quantification, nous devons exprimer le rapport U_1/U_h où U_h représente la valeur efficace des harmoniques de $\overline{V_e}$.

- D-16 À partir de la forme générale d'un signal, de valeur moyenne nulle, décomposé en série de Fourier, montrez qu'il n'est pas nécessaire de connaître l'amplitude de chaque harmonique pour calculer la valeur efficace U_h de leur somme, si l'on connaît la valeur efficace U_{eff} du signal et l'amplitude U_1 du fondamental.
- D-17 À partir du résultat précédent, exprimez le rapport signal sur bruit de quantification $RSBQ_{dB}$, rapport de la puissance du fondamental de $\overline{V_e}$ à la puissance de ses harmoniques, en fonction de V_m et q .
- D-18 On a représenté sur le document réponse 11 l'évolution de $RSBQ_{dB}$ dans le cas d'un quantificateur à 8 bits, pour $(V_{eff}/V_{emax})_{dB}$ variant de -50 à -25 dB. Déterminez l'échelle verticale de ce graphique, puis rajoutez-y l'évolution de $RSBQ_{dB}$ telle qu'elle est prévue par l'expression établie à la question D-9. Conclusion ?

Nous n'avons, pour l'instant traité que du bruit de quantification. Quelle est l'influence du bruit déjà superposé au signal au moment de sa quantification ? C'est ce que nous allons essayer de déterminer maintenant. Nous imposons donc en entrée du quantificateur une tension $V_e(t) = E_b(t) + V_m \cos \omega t$. Expression dans laquelle $E_b(t)$ représente une tension de bruit de valeur efficace E_{beff} , constante. Dans le calcul des différents "rapport signal sur bruit", nous considérerons comme "signal", uniquement la composante sinusoïdale (d'amplitude V_m).

- D-19 Exprimez le rapport signal sur bruit "électronique" $RSBE_{dB}$ en entrée du quantificateur.
- D-20 Exprimez le rapport signal sur bruit RSB_{dB} en sortie du quantificateur, en fonction de V_{eff} , E_{beff} , et P_{bq} . Déduisez-en RSB_{dB} comme une fonction de V_{eff}/V_{emax} , E_{beff}/V_{emax} et N . Complétez le document réponse 12, avec les expressions de RSB_{dB} et $RSBQ_{dB}$ en fonction de $(V_{eff}/V_{emax})_{dB}$, pour les 3 valeurs de N , si l'on considère que $(E_{beff}/V_{emax})_{dB} = -60$ dB.
On conservera cette valeur de -60 dB pour les autres applications numériques de la présente partie.
- D-21 Utilisez les résultats précédents pour tracer, avec une couleur différente, sur le document réponse 10 l'allure de

$$RSB_{dB} = f \left[\left(\frac{V_{eff}}{V_{emax}} \right)_{dB} \right] \text{ pour } N = 4, 8 \text{ et } 12.$$

- D-22 Dessinez, sur le document réponse 13, l'évolution du rapport signal sur bruit en entrée du quantificateur : $RSBE_{dB} = 20 \log_{10}(E_{beff}/V_{eff})$ quand V_{eff} varie. Sachant que le rapport signal sur bruit RSB_{dB} en sortie du quantificateur doit être au moins égal à 40 dB quand $RSBE_{dB} > 43$ dB et à $RSBE_{dB} - 3$ dB ailleurs, complétez le tracé du document réponse 13 pour qu'il constitue un gabarit pour l'évolution du rapport signal sur bruit de quantification : $RSBQ_{dB} = 10 \log_{10}(P_{bq}/V_{eff}^2)$.
- D-23 On souhaite pouvoir numériser des signaux d'amplitude crête à crête $2V_{mmax} = 2V$.

(a) Déduisez du diagramme précédent la valeur maximum q_{max} du pas de quantification pour que la puissance du bruit de quantification soit au plus égale à la puissance du bruit en entrée.

(b) Déduisez de q_{max} la valeur minimale Q_{min} du nombre de pas de quantification et le nombre de bits N du quantificateur.

(c) Déterminez enfin q et V_{emax} de telle façon que $\frac{q_{max}}{q} = \frac{V_{emax}}{V_{mmax}}$.

E– Étude du convertisseur analogique numérique

Nous nous proposons d'utiliser un convertisseur algorithmique. Un tel convertisseur se comporte un peu comme un convertisseur à approximations successives (il présente, par exemple un temps de conversion similaire). Cependant, tandis que, à chaque cycle, le convertisseur à approximations successives divise par deux la tension de référence, le convertisseur algorithmique double la tension d'erreur en laissant la tension de référence inchangée. Un tel convertisseur peut fournir son résultat sous forme d'un code binaire naturel. Il existe cependant une variante qui utilise un code signé redondant. C'est cette variante que nous allons étudier.

La figure 7 décrit l'organigramme de la conversion. Il s'agit en fait d'une division de V_{in} , la tension à convertir, par V_{ref} , la tension de référence. Les b_i représentent le quotient et R le reste de la division. Enfin, V_{min} et V_{max} sont deux tensions vérifiant la relation $V_{min} < 0 < V_{max}$.

- E–1 Soit R_i la valeur de R au début du cycle i . On appellera R_{N+1} la valeur de R à la fin de la conversion. Exprimez littéralement les cinq premiers termes de la suite des R_i en fonction des b_i , de V_{ref} et de V_{in} .
- E–2 En généralisant le résultat précédent, exprimez V_{in} en fonction de R_{N+1} et des b_i pour $i = 1$ à N . En déduire que la suite des b_i est une représentation numérique de V_{in} / V_{ref} . Précisez quelles sont les valeurs extrêmes de ce rapport.
- E–3 L'application (au sens mathématique) qui, à chaque suite de b_i fait correspondre un rapport V_{in} / V_{ref} est elle bijective ? Pourquoi ? Donnez un exemple.

Les caractéristiques du code de sortie du convertisseur, constatées en répondant aux questions E–2 et E–3, montrent bien qu'il s'agit d'un code signé redondant.

- E–4 Quelle condition doivent respecter les R_i pour que l'algorithme de conversion ne diverge pas ? Quelle conséquence cela a-t-il sur les valeurs de V_{min} et V_{max} ?

La figure 8 représente un schéma simplifié du convertisseur. Seule y apparaît la partie opérative. La partie contrôle, qui n'est pas représentée, reçoit les signaux b^o et b^{oo} et "manipule" les interrupteurs. Chaque cycle de conversion se déroule en deux phases a et b .

- S Au début de la phase a , $K1$, $K3$ et $K5$ sont fermés. Les autres interrupteurs sont ouverts. La phase commence sur un front montant de CK . On ouvre alors $K1$, puis on ferme $K4$. On ouvre ensuite $K5$ et $K3$, puis on ferme $K2$ et l'un exactement des interrupteurs $K5$, $K7$ ou $K8$. Parmi $K5$, $K7$ et $K8$, l'interrupteur fermé est choisi en fonction de l'état des bits Q_b^o et Q_b^{oo} , représentant l'état des bits b^o et b^{oo} à la fin de la phase b du cycle précédent, suivant la table de vérité donnée figure 8. S'il s'agit du premier cycle d'une conversion, alors $K3$ n'est pas ouvert pendant cette phase, et c'est $K6$ qui est fermé après $K2$, en lieu et place de $K5$, $K7$ ou $K8$.
- S Dans la phase b , on ouvre d'abord $K4$, puis tous les autres interrupteurs à l'exception de $K3$ (qui ne change pas d'état). On ferme ensuite $K3$ (si nécessaire) et $K5$.

Convention. À chaque fois que cela sera nécessaire, on pourra faire référence à la valeur d'une tension à la fin d'une des phases d'un cycle précédent en ajoutant à son nom, sous la forme d'un indice, le numéro du cycle suivi du nom de la phase. Par exemple, V_{X5a} est la valeur de V_X à la fin de la phase a du cinquième cycle de la conversion.

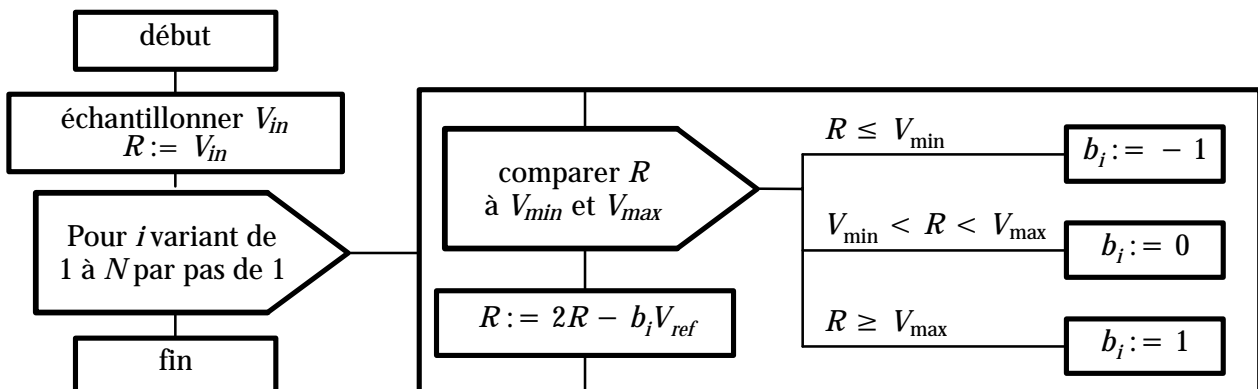


figure 7 : organigramme de la conversion algorithmique à codage signé redondant

On se propose, dans un premier temps, d'analyser le fonctionnement de cette partie opérative en supposant que tous les composants utilisés (amplificateurs, interrupteurs, comparateurs) sont idéaux.

Ensemble K1, C1, K2, K3, A1

- E-5 Dessinez, sur le document réponse 14, (en remplaçant les interrupteurs fermés par des court-circuits et en enlevant les interrupteurs ouverts) la configuration de cet ensemble à la fin de la phase *a* et à la fin de la phase *b* d'un cycle qui n'est pas le premier d'une conversion. Dans les deux cas, vous placerez les tensions V_{C1} , V_X et V_X' .
- E-6 Déduisez des deux schémas que vous venez de dessiner les valeurs de V_{C1ia} , V_{Xia} , V_{C1ib} et V_{Xib} en fonction de V_X' .
- E-7 Quelle est la fonction de cet ensemble.

Ensemble K5, K7, K8, C3, C2, K4, C4, A2

- E-8 Dessinez sur le document réponse 15, (en remplaçant les interrupteurs fermés par des court-circuits et en enlevant les interrupteurs ouverts) la configuration de cet ensemble à la fin de la phase *a* et à la fin de la phase *b* d'un cycle qui n'est pas le premier d'une conversion. Dans les deux cas, vous placerez les tensions V_{C2} , V_{C3} , V_{C4} , V_X et V_X' .
- E-9 *K8* et *K4* sont fermés. Exprimez V_{C2ia} , V_{C3ia} et V_{C4ia} .
- E-10 On ouvre *K4*, puis *K8*, puis on ferme *K5*. Dans le même temps que *K5* se ferme, V_X devient nulle. En écrivant que la charge au noeud *Z* ne peut pas changer après l'ouverture de *K4*, exprimez les valeurs de V_{C2ib} , V_{C3ib} et V_{C4ib} . Déduisez-en la valeur de $V_X'_{ib}$.
- E-11 Sachant que $C2 = 2C$ et que $C3 = C4 = C$, exprimez la valeur de $V_X'_{ib}$ (quand *K4* est ouvert) en fonction de la valeur qu'avait V_{Xia} (quand *K4* était fermé).
- E-12 Exprimez cette même valeur si l'on avait fermé *K7* au lieu de *K8* dans la phase *a*.
- E-13 Même question, si l'on avait fermé *K5* au lieu de *K7*.

Ensemble CP1, CP2

- E-14 Il s'agit de deux comparateurs. Complétez le document réponse 16 en décrivant les valeurs que prennent b^0 et b^{00} (variables logiques) quand V_X' varie entre $-V_{ref}$ et $+V_{ref}$.

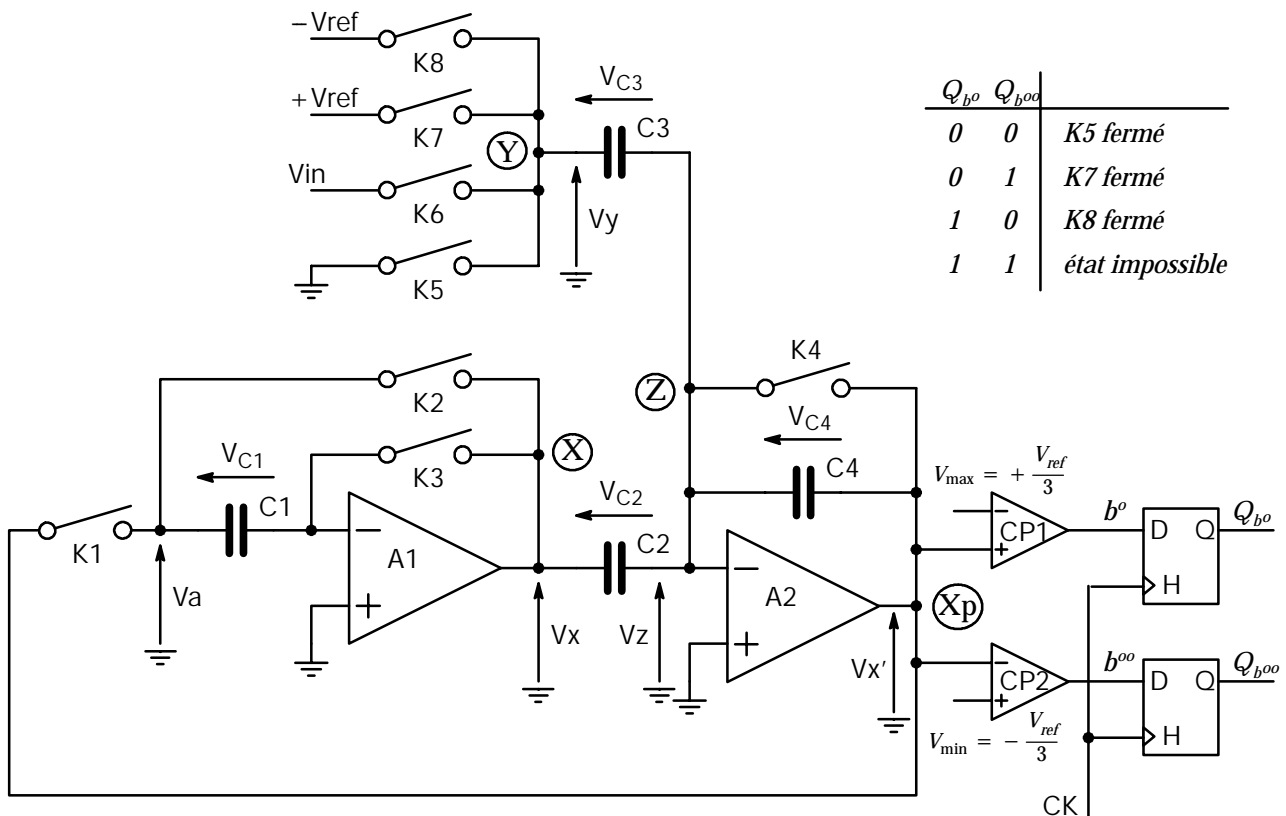


figure 8 : partie opérative du convertisseur algorithmique

Fonctionnement de l'ensemble de la partie opérative. L'annexe 4 donne deux chronogrammes de fonctionnement du convertisseur algorithmique considéré, pour deux valeurs différentes de la tension d'entrée. Dans ces chronogrammes, les signaux *init* et *phi* fixent l'état du convertisseur : chaque cycle d'une conversion dure exactement une période de *phi*. Quand *phi* est à 1, le convertisseur réalise la phase *a* du cycle. Il réalise la phase *b* quand *phi* est à 0. Enfin, *init* à 1 marque le premier cycle d'une conversion. Tous les signaux référencés dans ces chronogrammes se retrouvent aisément sur la figure 8, à l'exception de *Kp5* dont la fonction sera explicitée plus tard. En ce qui concerne les signaux de commande des interrupteurs (*Ki*), un signal logique de commande à 1 correspond à un interrupteur fermé. Enfin, les deux chronogrammes du bas montrent, de manière grossière, l'évolution des tensions aux points *X* et *Xp*. Attention, dans cet exemple V_{min} et V_{max} n'ont pas les valeurs indiquées figure 8.

- E-15 Pour chacun des deux chronogrammes de l'annexe 4, retrouvez la suite des b_i représentant la valeur numérique de V_{in}/V_{ref} . En considérant que $V_{ref} = 1\text{ V}$, calculez V_{in} dans les deux cas.
- E-16 Déduisez de ce résultat les valeurs successives prises par V_{Xp} aux instants d'échantillonnage (fronts montants de *CK*).
- E-17 Déduisez de ces deux suites de valeurs des encadrements de V_{min} et V_{max} .

Partie contrôle.

La figure 9 décrit le fonctionnement de la machine d'états fournissant les signaux *Ki* et *CK*. Il s'agit d'une machine synchrone, dont l'horloge est *H*. Les deux entrées de cette machine sont : *phi* et *init*. La dernière ligne de la figure identifie les états de cette machine. Les signaux *K5*, *K7* et *K8*, non représentés sur cette figure sont obtenus à partir de *Kp5*, *K2*, *Qbo* et *Qboo* :

$$\left\{ \begin{array}{l} K5 = Kp5 \vee \overline{Q_{bo}} \vee \overline{Q_{boo}} \vee \overline{init} \\ K7 = K2 \wedge Q_{boo} \\ K8 = K2 \wedge Q_{bo} \end{array} \right.$$

Dans ces expressions, \vee représente le "ou" logique et \wedge représente le "et" logique. Nous nous proposons de réaliser cette machine en utilisant la méthode d'Huffman-Mealy.

- E-18 On décide de réaliser une machine de Mealy. En considérant que l'état haut de *init* dure exactement une période de *phi*, que son changement d'état intervient dans la même période d'horloge (*H*) que le front montant de *phi* et, enfin, que chaque état de *phi* dure au moins quatre périodes de l'horloge (*H*), complétez la table d'états du document réponse 17 (vous n'omettez pas d'indiquer les états stables en entourant leur identificateur dans les colonnes "états suivants" de la table d'états).

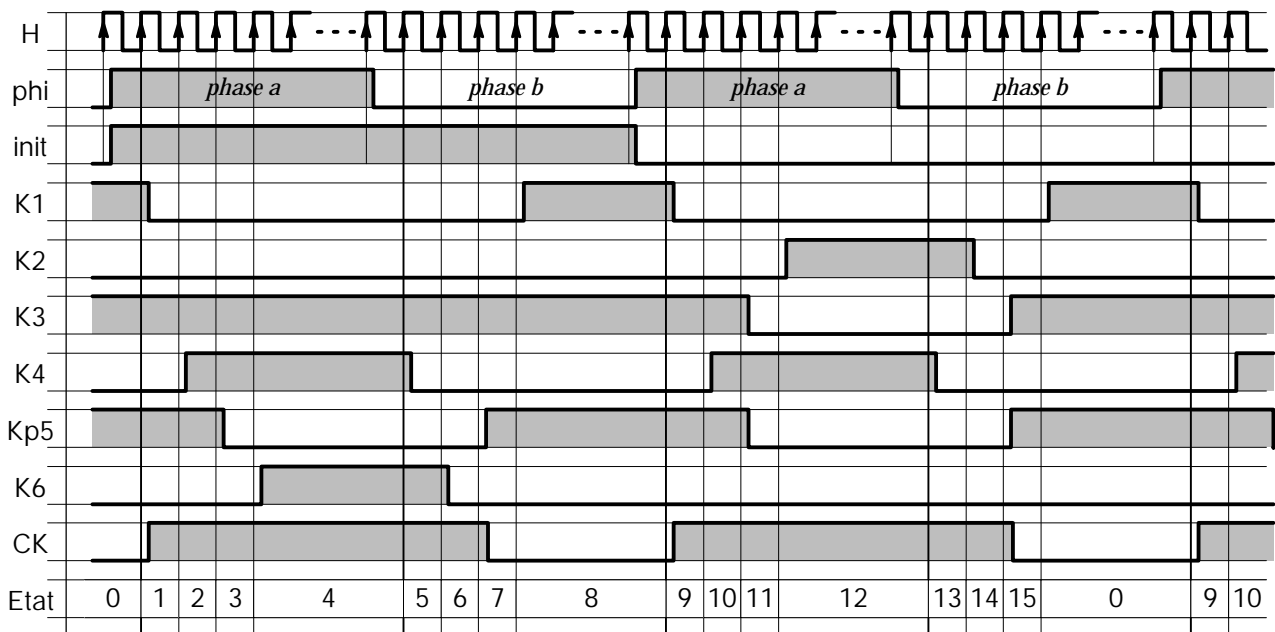


figure 9 : Définition de la machine d'états de commande

- E-19 Rappelez les règles de minimisation du nombre d'états. Décrivez ensuite les fusions d'état possibles sur cette machine (pour identifier l'état issu d'une fusion, vous utiliserez le plus petit des identificateurs des états fusionnés). Enfin, remplissez la table d'états réduite sur le document réponse 18 (vous placerez les états dans la table de telle façon que le code de l'état corresponde au code gray de son identificateur).
- E-20 En utilisant le nombre minimal de variables d'état nécessaire, remplissez la table d'états codée du document réponse 19 (Les variables Di et Qi correspondent respectivement aux entrées et aux sorties du registre d'état de la machine). Utilisez cette table et la table précédente pour établir les expressions logiques des signaux Di , Ki et CK en fonction de phi , $init$ et des Qi .
- E-21 L'annexe 6.b décrit une partie des éléments de logique combinatoire disponibles dans la bibliothèque de cellules précaractérisées AMS. En utilisant ces éléments, proposez un schéma logique pour la génération des signaux Di (les éléments de mémorisation disponibles pour réaliser le registre d'état sont décrits dans l'annexe 6.c).
- E-22 À partir de ces éléments, estimez la fréquence maximale de fonctionnement de la machine que vous venez de synthétiser.
- E-23 Sachant que l'on souhaite effectuer des conversions sur 13 bits avec une fréquence d'échantillonnage de 320 kHz, calculez la fréquence du signal phi . De plus, on peut considérer que, pour que la partie opérative fonctionne, chaque état stable doit durer au moins autant de temps que la totalité des états instables qui le précèdent. Estimez la fréquence minimale de l'horloge H . Déduisez-en la consommation minimale (puissance et courant) de la seule partie contrôle.

La capacité d'une pile bouton employée dans une prothèse auditive est de l'ordre de 100 à 200 mAh. De plus, on considère que cet élément doit pouvoir durer une quinzaine de jours. Le calcul que nous venons de faire ci-dessus montre qu'une grande partie de l'énergie disponible serait absorbée par la seule partie contrôle du convertisseur analogique numérique. Il est clair que le choix d'une partie contrôle synchrone pour le convertisseur n'était pas judicieux. C'est pourquoi nous allons étudier maintenant une réalisation asynchrone de cette machine.

Partie contrôle, machine d'états asynchrone

Pour cette machine, il importe d'éviter des aléas sur les sorties Ki et CK . Pour ce faire, nous utiliserons toutes les sorties pour coder l'état interne de la machine. Ceci nous impose donc une évolution telle que une seule sortie change à un moment donné. Il faut donc préciser le fonctionnement attendu pour la machine, c'est ce que fait la figure 10. Il va sans dire que, le nombre d'états étant différent de celui de la machine précédente, la numérotation de ceux-ci l'est aussi. Sur le chronogramme de $init$, les parties barrées correspondent aux périodes où ce signal peut changer d'état sans perturber le fonctionnement du système. Le tableau ci-après donne la table des phases primitives de cette machine.

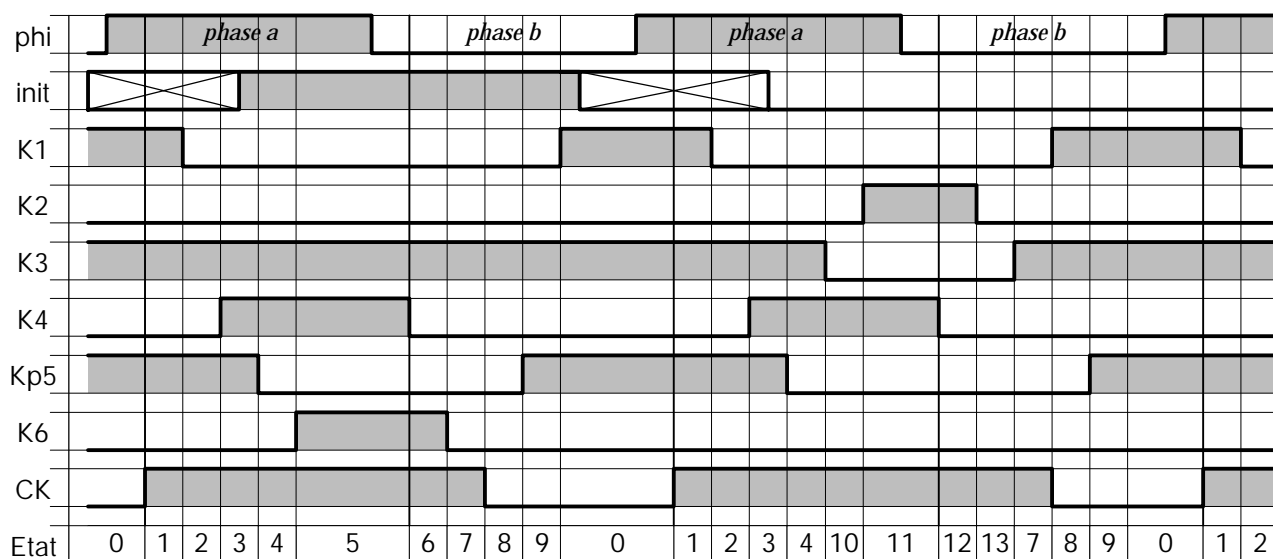


figure 10 : Définition de la machine d'états de commande asynchrone

Table des phase primitives, machine asynchrone

État	K1	K2	K3	K4	Kp5	K6	CK	\overline{phi}	phi		\overline{phi}
								\overline{init}		init	
								00	01	11	10
0	1	0	1	0	1	0	0	0	1	1	0
1	1	0	1	0	1	0	1	2	2	2	2
2	0	0	1	0	1	0	1	3	3	3	3
3	0	0	1	1	1	0	1	4	4	4	4
4	0	0	1	1	0	0	1	10	10	5	5
5	0	0	1	1	0	1	1	6	5	5	6
6	0	0	1	0	0	1	1	7	7	7	7
7	0	0	1	0	0	0	1	8	8	8	8
8	0	0	1	0	0	0	0	9	9	9	9
9	0	0	1	0	1	0	0	0	0	0	0
10	0	0	0	1	0	0	1	11	11	11	11
11	0	1	0	1	0	0	1	12	11	11	12
12	0	1	0	0	0	0	1	13	13	13	13
13	0	0	0	0	0	0	1	7	7	7	7

- E-24 Une synthèse des fonctions logiques immédiatement à partir de cette table conduit à des expressions complexes. Afin de simplifier ces expressions, on se propose de définir 14 variables logiques intermédiaires E0 à E13. Ces variables, mutuellement exclusives (une seule pouvant être à 1 à un instant donné du fonctionnement de la machine), représentent un décodage de l'état courant (E_n à 1 indique que la machine est dans l'état n). Utilisez la table de vérité du document réponse 20 pour établir et minimiser les équations logiques de ces variables.
- E-25 À partir de la table des phases, exprimez chacune des sorties en fonction des autres sorties, des entrées (*init* et *phi*) et des signaux d'état E0 à E13. Afin d'initialiser la machine, vous considérerez une autre entrée, *reset*, permettant de forcer, lorsque elle est à l'état bas, la machine dans l'état 0, quelles que soient les entrées et son état initial.
- E-26 Simplifiez ensuite ces expressions en éliminant les signaux d'état, puis proposez un schéma logique, utilisant les éléments décrits dans l'annexe 6.b.
- E-27 Utilisez ce schéma et les autres informations de l'annexe 6.b pour évaluer la durée d'un état instable de la machine. Sachant que les temps de propagation indiqués dans les documents constructeur sont définis à $\pm 10\%$ près, proposez une modification de votre schéma logique permettant d'assurer que les états instables durent au moins 5 ns.
- E-28 À partir de ces résultats, précisez la contrainte sur le délai entre les fronts montants de *phi* et les fronts de *init*.
- E-29 Le signal *init* est produit par un compteur par 13, disposant du même signal d'initialisation que la partie contrôle. Effectuez la synthèse de ce compteur de telle façon que la période de *init* dure exactement treize périodes de *phi*, que son état haut dure une période de ce même signal *phi* et que ses fronts respectent la contrainte définie à la question E-28.
- E-30 Pour conclure, en utilisant les mêmes données que pour la question E-23, évaluez la consommation de cette nouvelle partie contrôle (y compris la génération de *init*) et comparez-la à celle de la machine synchrone.

F – Éléments de micro – électronique

Lorsqu'on conçoit un circuit intégré analogique, il n'est pas toujours possible de s'appuyer sur une bibliothèque de cellules précaractérisées analogiques. Le concepteur doit donc parfois créer les schémas des macro-fonctions de l'électronique (amplificateurs opérationnels ou à gain fini, sources de courant, etc.) qu'il souhaite utiliser. Dans cette partie, nous passons en revue quelques structures élémentaires dont la connaissance est un préalable à une telle conception.

Modélisation des transistors MOS

On rappelle ci-contre les équations de base, au premier ordre, des transistors MOS à canal N (NMOS). Dans ces équations :

S V_T est la tension de seuil du transistor et $V_{eff} = V_{GS} - V_T$ est la *tension grille-source effective*.

S K est son facteur de transconductance. Les paramètres de l'expression de K sont les dimensions du canal du transistor (W est largeur du canal et L sa longueur) et le facteur de gain KP , caractéristique de la technologie utilisée (KP est le produit de la mobilité des porteurs par le rapport de la permittivité à l'épaisseur du diélectrique de grille).

Un transistor MOS à canal P (PMOS) est modélisé par les mêmes équations, à condition de considérer I_D sortant par le drain du transistor et de remplacer V_{GS} par V_{SG} et V_{DS} par V_{SD} . Les paramètres V_T et K étant différents pour les deux types de transistors, on les indicera par N ou P pour les distinguer.

Le tableau suivant donne les valeurs de V_T et KP pour la technologie que nous considérerons dans le présent problème.

Paramètre	Symbole	Transistor N	Transistor P	Unités
tension de seuil	V_T	0,8	0,75	V
facteur de gain	KP	100	35	$\mu A/V^2$

Remarques :

1) À l'inverse de certains ouvrages, les conventions choisies ici amènent à considérer une valeur positive pour la tension de seuil du transistor PMOS.

2) Les équations proposées ici ne font pas intervenir le substrat des transistors. Pour la technologie utilisée, les substrats de tous les transistors NMOS sont reliés au potentiel le plus bas du circuit. Les transistors PMOS étant réalisés dans un puits, il est possible de relier leur substrat et leur source, même si celle-ci n'est pas portée au potentiel le plus élevé du circuit. On modélise le plus souvent l'effet d'une tension source-substrat (V_{SB}) non nulle par une augmentation du paramètre V_T . Cette dépendance étant le plus souvent considérée comme un phénomène parasite, on en tient rarement compte dans les calculs. En revanche, on essaie d'utiliser les structures les moins sensibles à ce phénomène.

3) Pour ce qui concerne les "performances" basse fréquence, les dimensions des transistors n'interviennent que par le rapport W/L . Aussi, dans le présent problème, lorsqu'il sera demandé de préciser les dimensions des transistors, c'est en fait la valeur de ce "rapport de configuration" qui sera attendue.

Transistor bloqué :

$V_{GS} \leq 0 \Rightarrow I_D = 0$

Inversion faible :

$V_{eff} \leq 0 \Rightarrow I_D \approx 0$

Inversion forte, régime triode :

$V_{eff} \geq 0 \text{ et } V_{DS} \leq V_{eff}$
 $\Rightarrow I_D = 2K V_{DS} \left(V_{eff} - \frac{V_{DS}}{2} \right)$

$V_{eff} = V_{GS} - V_T$
 $K = \frac{KPW}{2L}$

Inversion forte, régime actif :

$V_{eff} \geq 0 \text{ et } V_{DS} \geq V_{eff}$
 $\Rightarrow I_D = K V_{eff}^2 \left(1 + \lambda (V_{DS} - V_{eff}) \right)$

- F-1 En considérant que $\lambda = 0$, tracez les caractéristiques $I_D = f(V_{DS})$ d'un transistor NMOS ($W = 20 \mu\text{m}$, $L = 2 \mu\text{m}$) pour $V_{GS} = 1,3 \text{ V}$, $V_{GS} = 1,8 \text{ V}$ et $V_{GS} = 2,8 \text{ V}$ quand V_{DS} varie de 0 à 5 V (échelles : 4 cm pour 1 mA et 4 cm pour 1 V).
- F-2 Tracez sur cette même figure la courbe frontière entre les zones de régime triode et actif des transistors. Quelle est l'équation de cette limite ?
- F-3 Tracez, toujours sur la même figure l'allure de la caractéristique à $V_{GS} = 2,8 \text{ V}$ si on considère maintenant $\lambda = 0,015$ unités SI. Dans quelle unité exprime-t-on λ ?

Les simulateurs actuels utilisent de plus en plus des modèles empiriques ou semi-empiriques dans lesquels les paramètres K_P , V_T ou λ n'apparaissent pas explicitement. Il est donc parfois nécessaire d'extraire ces paramètres du résultat d'une simulation. Le tableau de l'annexe 5 donne de tels résultats pour un transistor P et quatre valeurs de V_{SG} . En plus de I_D et V_{SD} , le simulateur a fourni différentes grandeurs qui peuvent être utiles pour cette détermination. Les expressions de ces grandeurs sont données en tête de colonne. Dans ces formules :

$\overset{o}{I}_D$ désigne la dérivée de I_D par rapport à V_{SD} et $\left(\overset{o}{I}_D\right)_{V_{SD}=0}$ désigne la valeur de $\overset{o}{I}_D$ quand V_{SD} est nul, pour le V_{SG} considéré.

- F-4 Calculez une estimation des valeurs de K_P , V_{TP} et λ_P pour chacune des valeurs de V_{SG} . Expliquez votre démarche. Quelles conclusions pouvez-vous tirer de ces résultats sur la validité du modèle décrit ici ?
- F-5 Par analogie avec les transistors bipolaires, à quelle grandeur peut-on assimiler le paramètre $1/\lambda$? Où s'arrête la comparaison ?

Modélisation petits signaux

On ne considère ici que le régime actif de l'inversion forte.

- F-6 Soit I_{Dsat} le courant I_D quand $V_{DS} = V_{eff}$. Etablissez les expressions de V_{GS} et V_{eff} en fonction de I_{Dsat} pour un transistor NMOS.
- F-7 La figure 11 représente deux modèles petits signaux (basse fréquence) pour un transistor MOS. À quelle condition sur r_S ces deux modèles sont ils équivalents ?
- F-8 Donnez les expressions générales de g_m et r_{ds} en fonction de I_D , V_{DS} et V_{GS} .
- F-9 En considérant que $\lambda = 0$, exprimez g_m en fonction de V_{eff} seulement, puis en fonction de I_{Dsat} seulement.
- F-10 Même question pour r_{ds} , mais cette fois avec $\lambda \neq 0$.

Paire différentielle à transistors MOS

On considère deux transistors NMOS, M_1 et M_2 , identiques, connectés suivant le schéma de la figure 12. On suppose ces transistors parfaits, c'est-à-dire tels que $\lambda = 0$. Les drains des transistors sont reliés à un potentiel suffisamment élevé pour que $V_{DS} > V_{GS} - V_T \forall V_{GS}$. Par ailleurs, la source de courant est, elle aussi, idéale et débite le courant I_0 quel que soit V_S .

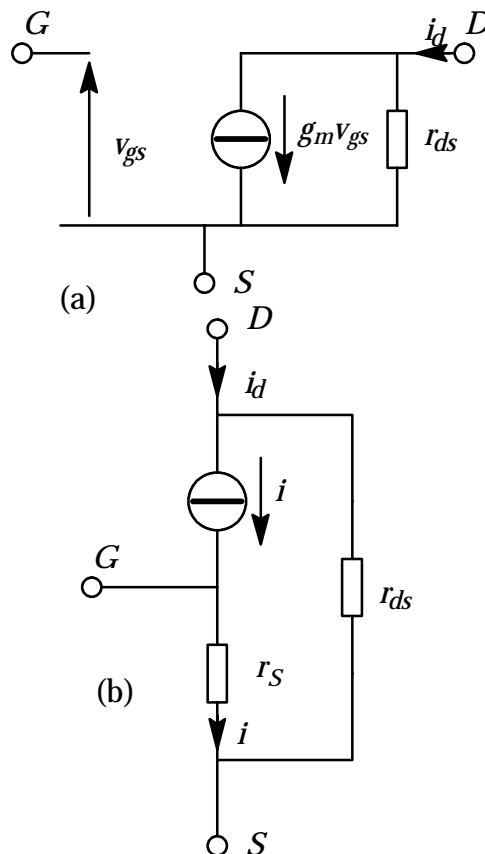


figure 11 : modèles petits signaux (basse fréquence) d'un transistor MOS actif. (a) modèle standard, (b) modèle en T

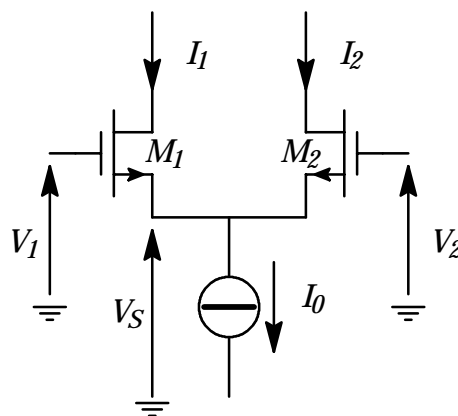


figure 12 : Paire différentielle NMOS

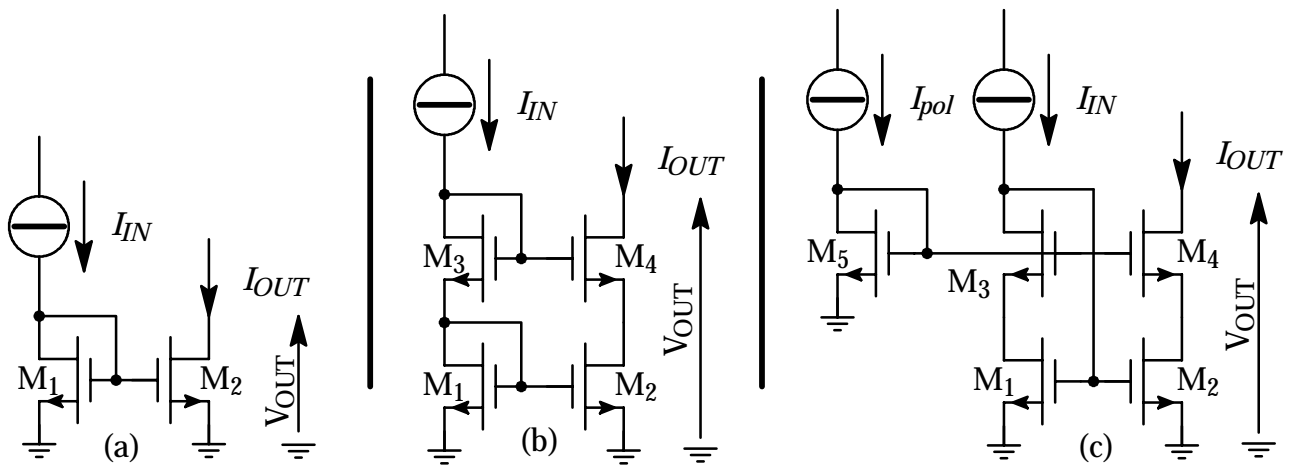


figure 14 : miroirs de courant (a) simple (b) cascode (c) “grande excursion”

Miroirs de courant

F-23 La figure 14-a représente un miroir de courant à transistors NMOS.

- En considérant que les deux transistors sont identiques ($W = 20 \mu\text{m}$, $L = 2 \mu\text{m}$, $V_T = 0,8 \text{ V}$, $KP = 35 \mu\text{A/V}^2$, $\lambda = 0,015$ unités SI), tracez sa caractéristique $I_{OUT} = f(V_{OUT})$ pour $I_{IN} = 1 \text{ mA}$ et $I_{IN} = 2 \text{ mA}$ (échelles : 4 cm pour 1 mA et 4 cm pour 1 V).
- Tracez le schéma équivalent petit signal (basse fréquence) de ce montage. Déduisez-en sa résistance de sortie.
- À quelle(s) condition(s) ce montage fonctionne-t-il comme un “miroir de courant” ?
- Que se passe-t-il si les deux transistors ont des facteurs de transconductance différents ?

F-24 Sur la figure 14-b, on a représenté un miroir de courant amélioré appelé “miroir de courant cascode”. Les quatre transistors M_1 , M_2 , M_3 et M_4 sont identiques. Dans les calculs qui suivent, on pourra cependant négliger λ pour les transistors M_1 , M_3 et M_4 .

- Exprimez les valeurs de V_{G1} et V_{G3} , différences de potentiel entre les grilles des transistors et la masse, en fonction de I_{IN} . Quelle relation existe-t-il entre ces deux tensions ?
- En supposant les quatre transistors en régime actif, exprimez $I_{OUT} = f(V_{OUT})$.
- Refaites le même calcul en considérant que M_4 (seulement) fonctionne en régime triode.
- Enfin, étudiez le cas où M_4 et M_2 fonctionnent en régime triode.
- Tracez, pour ce montage, la caractéristique $I_{OUT} = f(V_{OUT})$ dans les conditions données à la question F-23.
- Sans négliger λ , c'est-à-dire r_{ds} , tracez le schéma équivalent petit signal (basse fréquence) de ce montage. Déduisez-en sa résistance de sortie.
- Quel avantage présente ce miroir sur le précédent ? Quel est son principal inconvénient ?

F-25 On s'intéresse maintenant à la structure présentée figure 14-c. En considérant que $K_1 = K_2 = K_3 = K_4$, que $K_5 = K_1/4$ et en négligeant λ pour les transistors M_1 , M_3 , M_4 et M_5 , montrez que $I_{OUT} = I_{IN}$. Tracez le schéma équivalent petit signal du montage (I_{pol} strictement constant) et exprimez sa résistance de sortie. Quelle est la valeur minimale de V_{OUT} ? Conclusion ?

Polarisation des transistors

Le montage de la figure 13 nécessite une tension de polarisation. Ceci est le cas de beaucoup de montages analogiques. Cette tension de polarisation peut-être fournie de plusieurs manières que nous nous proposons d'étudier. Auparavant, il est nécessaire de rappeler quelques faits concernant la dispersion des paramètres des transistors MOS. Assez couramment, l'incertitude sur les valeurs des paramètres V_T et KP est de l'ordre de $\pm 20 \%$ de la valeur nominale. Cependant, l'appariement des transistors sur une même puce peut-être meilleur que le “pour mille” si quelques précautions sont prises lors du dessin des masques du circuit. En résumé, et autrement dit, tous les transistors (d'un même type NMOS ou PMOS) d'une même puce ont des tensions de seuil et des paramètres de transconductance pratiquement identiques. En revanche, d'une puce à l'autre, ces paramètres peuvent varier du simple au double.

Remarque : dans les questions qui suivent, on considérera λ négligeable.

Pont de polarisation

Examinons d'abord la solution de la figure 15 qui consiste à faire de M_5 un miroir de courant (en l'associant à M_6) et à utiliser un transistor (M_7) monté en diode pour régler le courant d'entrée du miroir.

F-26 Déterminez les facteurs de transconductance de chacun des transistors pour avoir $I_0 = 50 \mu\text{A}$ et $V_{eff5} = 100 \text{ mV}$. Déduisez-en les dimensions (W/L) à donner à chacun des transistors.

F-27 En supposant des dispersions non corrélées de $\pm 20 \%$ sur chacun des paramètres V_{TN} , V_{TP} , KP_N et KP_P déterminez les valeurs extrêmes que peut prendre I_0 .

F-28 Déduisez de ce résultat l'incertitude sur la valeur de g_m pour les transistors M_1 et M_2 de la paire différentielle (figure 13).

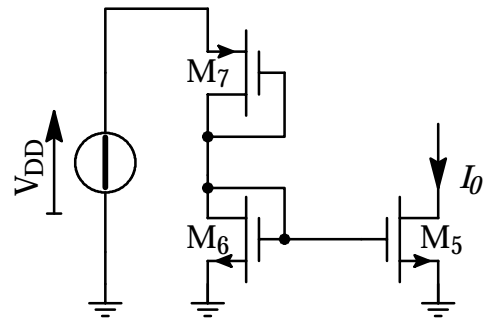


figure 15 : pont de polarisation

Bien sûr, il serait possible de réaliser M_7 sous la forme de plusieurs transistors en parallèle. Ainsi, on pourrait, après la fabrication du circuit, ajuster les dimensions de M_7 en déconnectant des transistors élémentaires par un système de fusibles. Cependant, du fait de son coût et du temps qu'elle demande, cette solution ne peut pas être appliquée sur des grandes séries. Il apparaît donc nécessaire de prévoir une (ou plusieurs) entrée(s) de contrôle permettant d'ajuster le point de fonctionnement du montage. Nous allons examiner trois façons de polariser un circuit : par une tension, par un courant et par une résistance.

polarisation par une tension fixe

F-29 La tension V_B de la figure 13 est maintenant appliquée à partir d'une entrée externe. Déterminez V_B et les dimensions (W/L) de M_5 afin d'avoir $I_0 = 50 \mu\text{A}$ et $V_{eff5} = 100 \text{ mV}$. En supposant des variations non corrélées de $\pm 20\%$ sur chacun des paramètres V_{TN} et KP_N , déterminez les valeurs extrêmes que peut prendre I_0 , puis l'incertitude sur la valeur de g_m pour les transistors M_1 et M_2 de la paire différentielle.

polarisation par un courant fixe

On reprend un schéma similaire à celui de la figure 15, mais on retire le transistor M_7 et on impose, depuis l'extérieur du circuit, le courant dans M_6 . Les transistors M_5 et M_6 ont mêmes dimensions.

F-30 (a) Déterminez les facteurs de transconductance de ces transistors pour avoir $V_{eff5} = 100 \text{ mV}$ quand $I_0 = 50 \mu\text{A}$. Déduisez-en les dimensions (W/L) de M_5 et M_6 .

(b) En supposant des dispersions non corrélées de $\pm 20\%$ sur chacun des paramètres V_{TN} et KP_N , déterminez les valeurs extrêmes que peut prendre I_0 .

(c) Déduisez de ce résultat l'incertitude sur la valeur de g_m pour les transistors M_1 et M_2 de la paire différentielle (figure 13).

(d) Quelles conclusions tirez-vous de ces résultats ?

polarisation par une résistance externe

La figure 16 est une version simplifiée d'un circuit de polarisation très répandu. Les transistors M_8 et M_9 sont identiques. En revanche, les transistors M_6 et M_7 ont des W/L différents.

F-31 En remarquant que, du fait du miroir de courant à transistors PMOS, les courants I_a et I_b sont égaux, déterminez les valeurs que peut prendre V_B dans ce montage. À quelle condition sur les dimensions des transistors ce montage peut-il fonctionner ?

F-32 Calculez la valeur de gm_6 , transconductance du transistor M_6 , en fonction des dimensions des transistors et de R_P .

F-33 Quel intérêt présente ce montage s'il est utilisé pour polariser la paire différentielle de la figure 13 ?

F-34 Calculer les V_{DS} des différents transistors. Quel effet a cette disparité si les λ ne sont plus négligeables ? Comment suggérez-vous de modifier ce montage pour pallier cet inconvénient ?

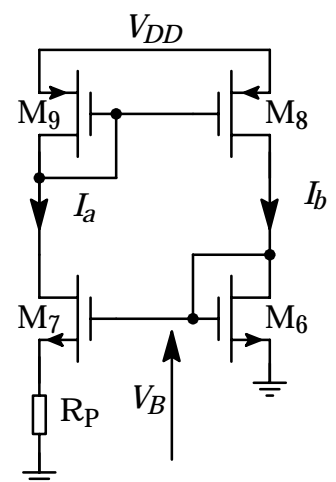


figure 16 : polarisation par résistance externe

ÉLÉMENTS D'UNE PROTHÈSE AUDITIVE NUMÉRIQUE

Annexes

Annexe 1 : Résistances et capacités intégrées

Annexe 2 : Intégrales et décompositions en éléments simples

Annexe 3 : Points remarquables de $y = \sqrt{\frac{1}{(1-x^2)^2 + 4m^2x^2}}$

Annexe 4 : Chronogrammes de conversion analogique-numérique

Annexe 5 : Caractéristique $I_D = f(V_{SD})$ à $V_{SG} = \text{cte}$ pour un transistor PMOS

Annexe 6 : Documents constructeur

Annexe 6.a : Microphone Knowles, série EA

Annexe 6.b : Cellules précaractérisées numériques CMOS-0.8 μm (AMS)
Logique combinatoire alimentée sous 5,0 V

Annexe 6.c : Cellules précaractérisées numériques CMOS-0.8 μm (AMS)
Éléments de mémorisation alimentés sous 5,0 V

Annexe 6.d : Cellules précaractérisées analogiques CMOS-0.8 μm (AMS)
Amplificateurs opérationnels

Annexe 1 : Résistances et capacités intégrées

Règles de dessin

Lors de l'élaboration du dessin (layout) des masques permettant de réaliser un circuit intégré, il importe de respecter un certain nombre de règles de dessin. Ces règles varient suivant le niveau de masque utilisé. En général, elles sont toutes exprimées en multiples d'une dimension de base appelée λ (lambda). Ici, $\lambda = 0,5 \mu\text{m}$.

De plus, le procédé de fabrication des circuits est tel que les dimensions dessinées ne correspondent pas exactement aux dimensions après réalisation (photolithographie et gravure chimique ne permettent pas une précision infinie). Habituellement, le fabricant fournit un ordre de grandeur pour ces "retraits". En conséquence (et aussi pour d'autres raisons), il serait illusoire de vouloir dessiner avec des résolutions très élevées. Aussi, les dimensions (coordonnées des sommet des polygones) sont-elles toujours des multiples d'un **pas élémentaire** qui est ici de **0,1 μm** .

Enfin, tous les polygones ont leurs côtés parallèles aux axes (c'est-à-dire horizontaux ou verticaux).

Le tableau suivant récapitule les règles de dessin utilisées ici ($\lambda = 0,5 \mu\text{m}$)

Matériau	nom	couche	énoncé	valeur	unité
Diffusion n+	Wmin	DiffN	largeur minimale d'un motif	4	λ
	Dmin	DiffN	espacement minimal entre deux motifs	2	λ
Diffusion p+	Wmin	DiffP	largeur minimale d'un motif	4	λ
	Dmin	DiffP	espacement minimal entre deux motifs	2	λ
premier polysilicium	Wmin	Poly1	largeur minimale d'un motif	2	λ
	Dmin	Poly1	espacement minimal entre deux motifs	2	λ
polysilicium haute résistivité	Wmin	PolyH	largeur minimale d'un motif	2	λ
	Dmin	PolyH	espacement minimal entre deux motifs	2	λ
deuxième polysilicium	Wmin	Poly2	largeur minimale d'un motif	3	λ
	Dmin	Poly2	espacement minimal entre deux motifs	4	λ
	Région	Poly2	poly2 autorisé seulement au dessus de poly1 pour réaliser des capacités		
	Emin	Poly2	extension minimale du poly1 p/r au poly2	3	λ

Résistances

Les résistances intégrées peuvent être réalisées à partir d'une grande variété de conducteurs. La solution la plus commune est le silicium polycristallin (polysilicium, abrégé en poly) qui est un matériau déposé et gravé. On peut aussi utiliser des régions diffusées ou implantées telles que des jonctions, des caissons ou des régions de base (de transistors bipolaires). Le coefficient de température des résistances diffusées ou implantées tend à être positif et important (1000 à 3000 ppm/K). Les résistances en polysilicium ont, elles, un coefficient de température variant d'une valeur positive importante (1000 ppm/K), pour des polysiliciums à faible résistivité (tels que Poly1), à des valeurs négatives du même ordre pour des polysiliciums spécialement dopés pour présenter une grande résistivité (PolyH).

Quel que soit le type de résistance utilisé, les équations gouvernant la résistance sont données par :

$$R = \frac{L}{W} R_h \quad \text{avec} \quad R_h = \frac{\rho}{e}$$

Dans ces expressions, L et W sont respectivement la longueur et la largeur de la résistance, tandis que R_h (en Ω/h) est la résistance par carré, ρ est la résistivité du matériau et e son épaisseur. Cette approche

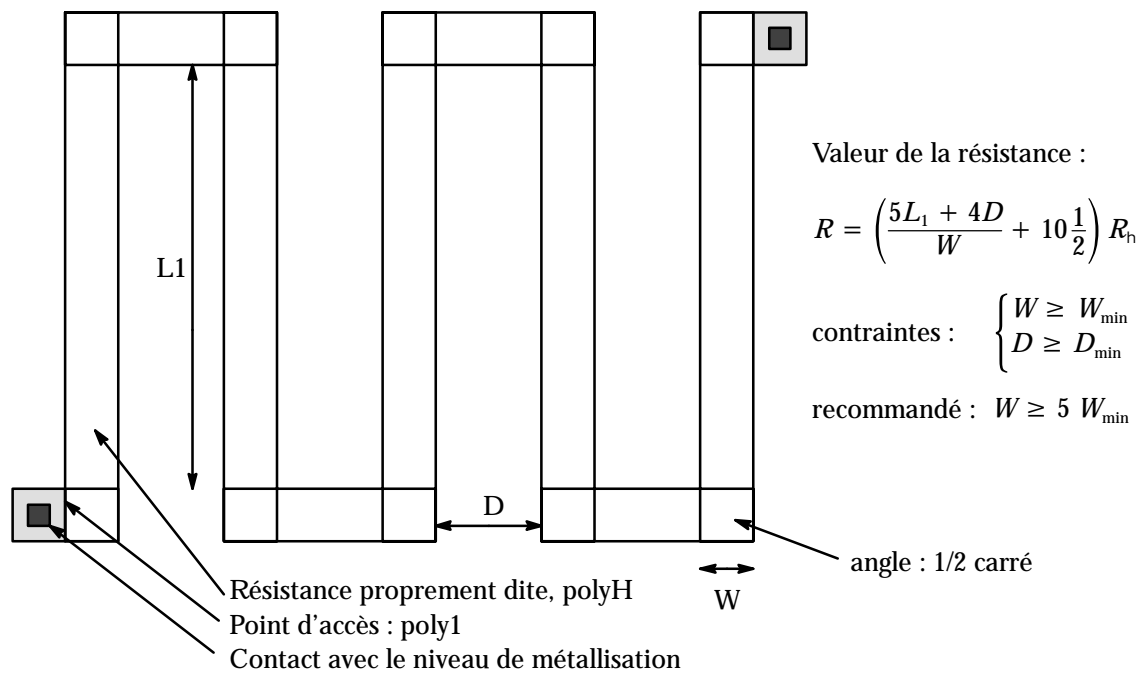


figure 1 : layout d'une résistance, règles de dessin et règles de calcul

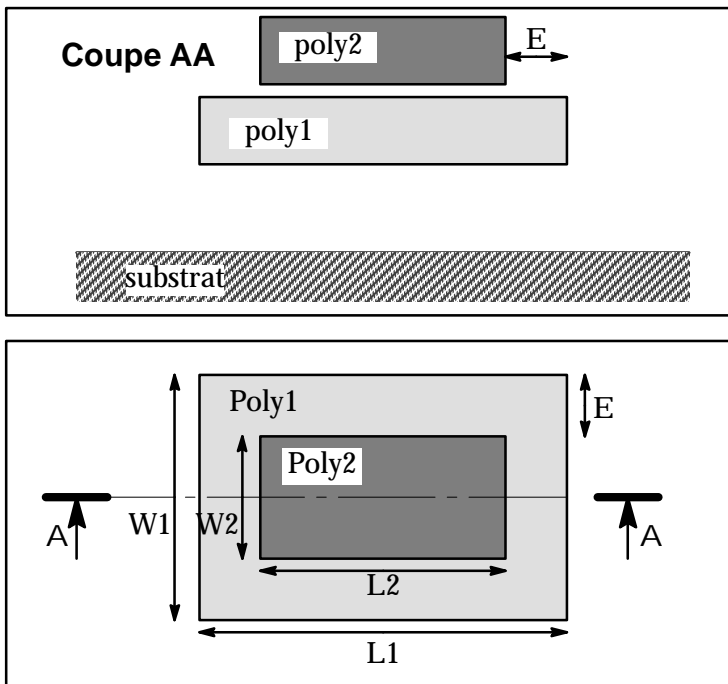
est motivée par le fait que l'épaisseur et la résistivité du matériau ne sont pas des paramètres que contrôle le concepteur du circuit, mais le fabricant. Aussi, celui-ci ne s'engage-t-il que sur la valeur de R_h , seule valeur donnée dans les caractéristiques de la technologie.

La résistivité des matériaux disponibles est telle que, très souvent $L \ll W$. Dans ce cas, le dessin (layout) de la résistance a plutôt l'allure d'un serpent comme le montre la figure 1. Quand on calcule la résistance d'une telle structure, il faut tenir compte des angles (qui, du fait de la forme des lignes de courant ne peuvent compter pour un carré) et des contacts aux extrémités. Comme le montre l'identité des règles de dessin, Poly1 et PolyH correspondent en fait au même matériau dopé différemment. Aussi, les connexions entre Poly1 et PolyH se font-elles par simple aboutement. Afin d'améliorer la qualité du contact, la connexion entre du PolyH et le niveau de métallisation se fera toujours à travers le Poly1.

Enfin, on recommande en général de ne pas utiliser les dimensions minimales si l'on souhaite des composants raisonnablement précis. Quel que soit le matériau, on prendra $W \geq 5 W_{\min}$ pour réaliser une résistance.

Le tableau suivant récapitule les principales caractéristiques des résistances réalisables dans la technologie considérée.

Paramètre	nom	min	typ	max	unité
Résistance diffusion n+	R_{DN}	20	25	35	Ω/h
Largeur effective diffusion n+ pour 2 μm dessinés	W_{DN}	1,3	1,8	2,3	μm
Coefficient de température diffusion n+	TC_{DN}		1,8		$10^{-3}/K$
Résistance diffusion p+	R_{DP}	25	40	60	Ω/h
Largeur effective diffusion p+ pour 2 μm dessinés	W_{DP}	1,4	1,9	2,4	μm
Coefficient de température diffusion p+	TC_{DP}		1,7		$10^{-3}/K$
Résistance poly1	R_{P1}	18	21	26	Ω/h
Largeur effective poly1 pour 1 μm dessiné	W_{P1}	0,86	0,98	1,12	μm
Coefficient de température poly1	TC_{P1}		0,9		$10^{-3}/K$
Résistance polyH	R_{PH}	0,9	1,2	1,5	$k\Omega/h$
Largeur effective polyH pour 1 μm dessiné	W_{PH}	0,75	0,95	1,15	μm
Coefficient de température polyH	TC_{PH}		-2,5		$10^{-3}/K$



Valeur de la capacité :

$$C_{12} = W_2 L_2 C_{PP}^S + 2(W_2 + L_2) C_{PP}^P$$

Capacité parasite

$$C_{1S} = W_1 L_1 C_{PS}^S + 2(W_1 + L_1) C_{PS}^P$$

contraintes :

$$\begin{cases} W_1 \geq W_{\min poly1} \\ L_1 \geq W_{\min poly1} \\ W_2 \geq W_{\min poly2} \\ L_2 \geq W_{\min poly2} \\ E \geq E_{\min poly2} \end{cases}$$

figure 2 : layout d'une capacité, règles de dessin et règles de calcul

Capacités

Les capacités sont réalisées en "empilant" deux couches de matériaux conducteurs séparées par une mince couche d'oxyde de silicium (SiO_2). Dans la technologie considérée, on utilise deux dépôts de polysilicium. La figure 2 décrit la disposition de ces couches et le calcul de la capacité. Deux points méritent une attention particulière.

- S L'influence de la périphérie dans la valeur de la capacité. C'est la raison d'être des coefficients C_{xx}^P (capacité par unité de longueur de périphérie) et C_{xx}^S (capacité par unité de surface).
- S L'existence de capacités parasites avec le substrat. Sur la figure 2, il est clair que les deux armatures de la capacité ne sont pas tout à fait égales devant ce phénomène. Il faudra en tenir compte au moment de connecter cette capacité.

Le tableau suivant récapitule les données nécessaires au calcul d'une capacité.

Paramètre	nom	min	typ	max	unité
capacité poly1 - substrat par unité de surface	C_{PS}^S	0,061	0,066	0,072	fF/ μm^2
capacité poly1 - substrat par unité de lng. de périphérie	C_{PS}^P	0,047	0,048	0,050	fF/ μm
capacité poly2 - poly1 par unité de surface	C_{PP}^S	1,65	1,77	1,92	fF/ μm^2
capacité poly2 - poly1 par unité de lng. de périphérie	C_{PP}^P	0,19	0,2	0,21	fF/ μm
Largeur effective poly2 pour 2 μm dessiné	W_{p2}	1,6	1,9	2,2	μm

Annexe 2 : Intégrales et décompositions en éléments simples

$$\int \frac{1}{1+x^2} dx = \arctan x$$

$$\frac{x^2}{1+x^2} = 1 - \frac{1}{1+x^2}$$

$$\int \frac{x}{1+x^2} dx = \frac{1}{2} \ln(1+x^2)$$

$$\frac{(a^2-1)}{(1+x^2)\left(1+\frac{x^2}{a^2}\right)} = \frac{a^2}{1+x^2} - \frac{1}{1+\frac{x^2}{a^2}}$$

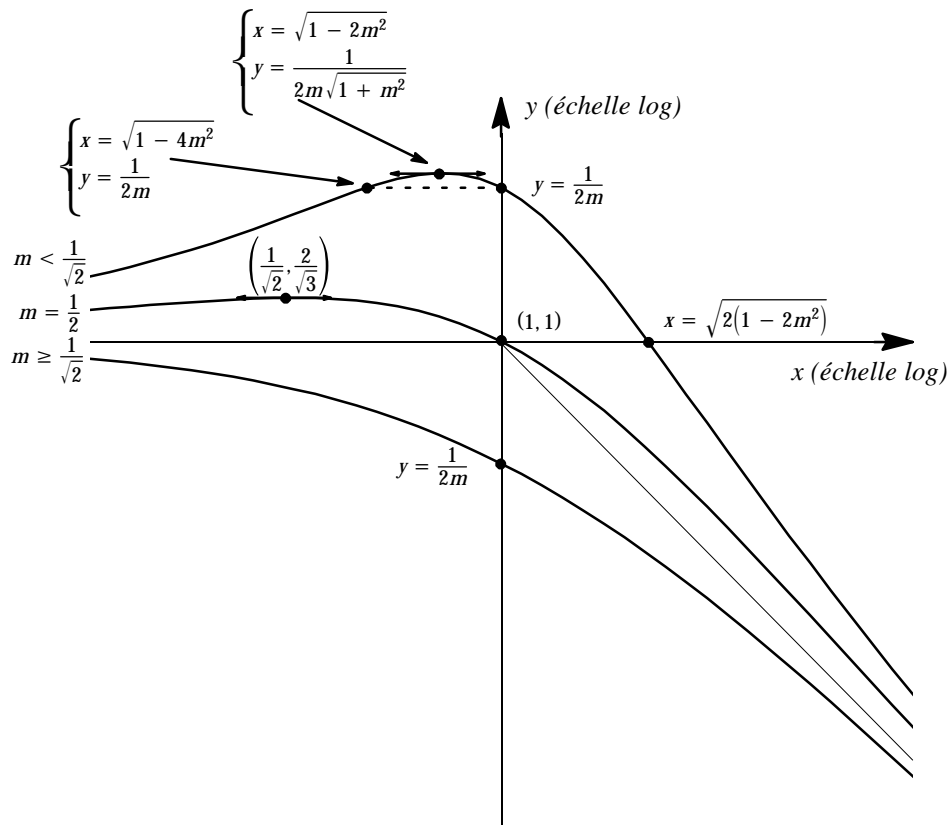
$$\int \frac{1}{1+\frac{x^2}{a^2}} dx = a \arctan \frac{x}{a}$$

$$\frac{(a^2-1)\frac{x^2}{a^2}}{(1+x^2)\left(1+\frac{x^2}{a^2}\right)} = \frac{1}{1+\frac{x^2}{a^2}} - \frac{1}{1+x^2}$$

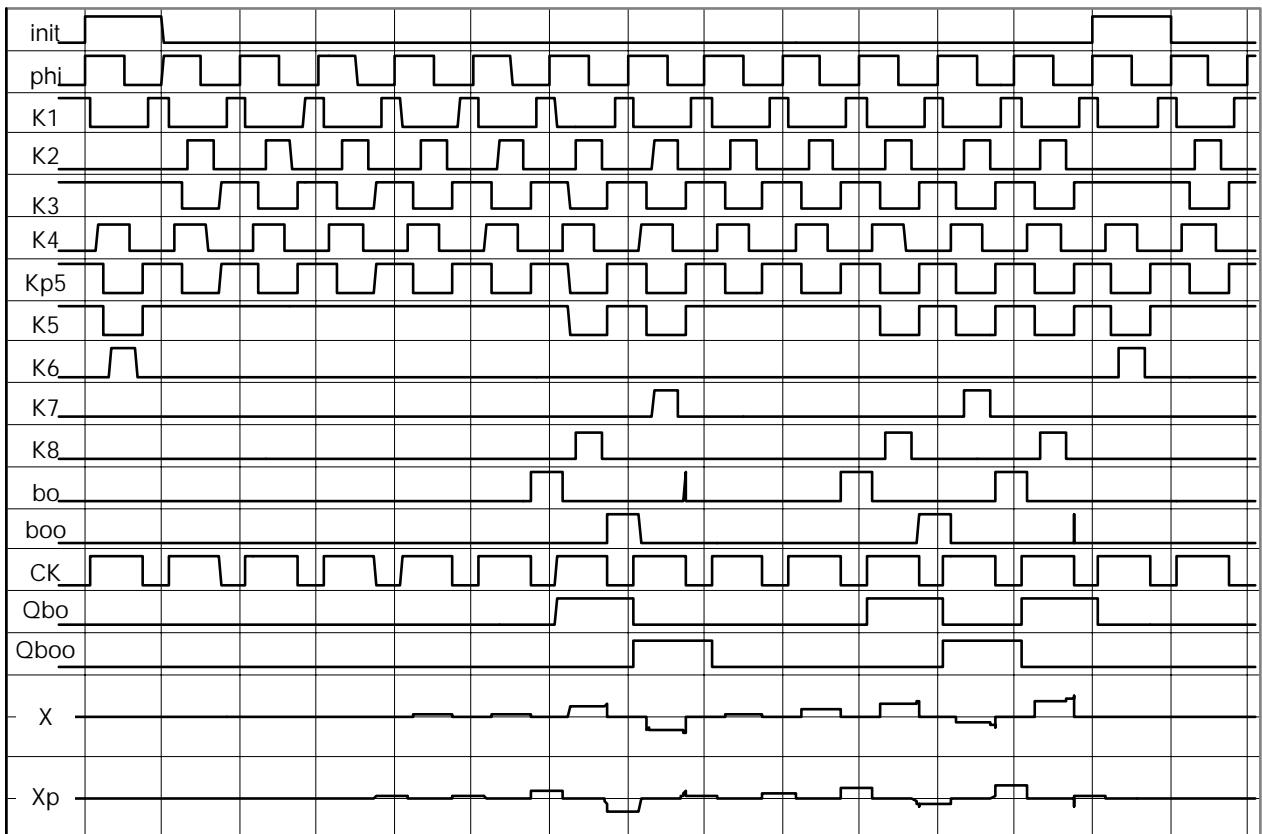
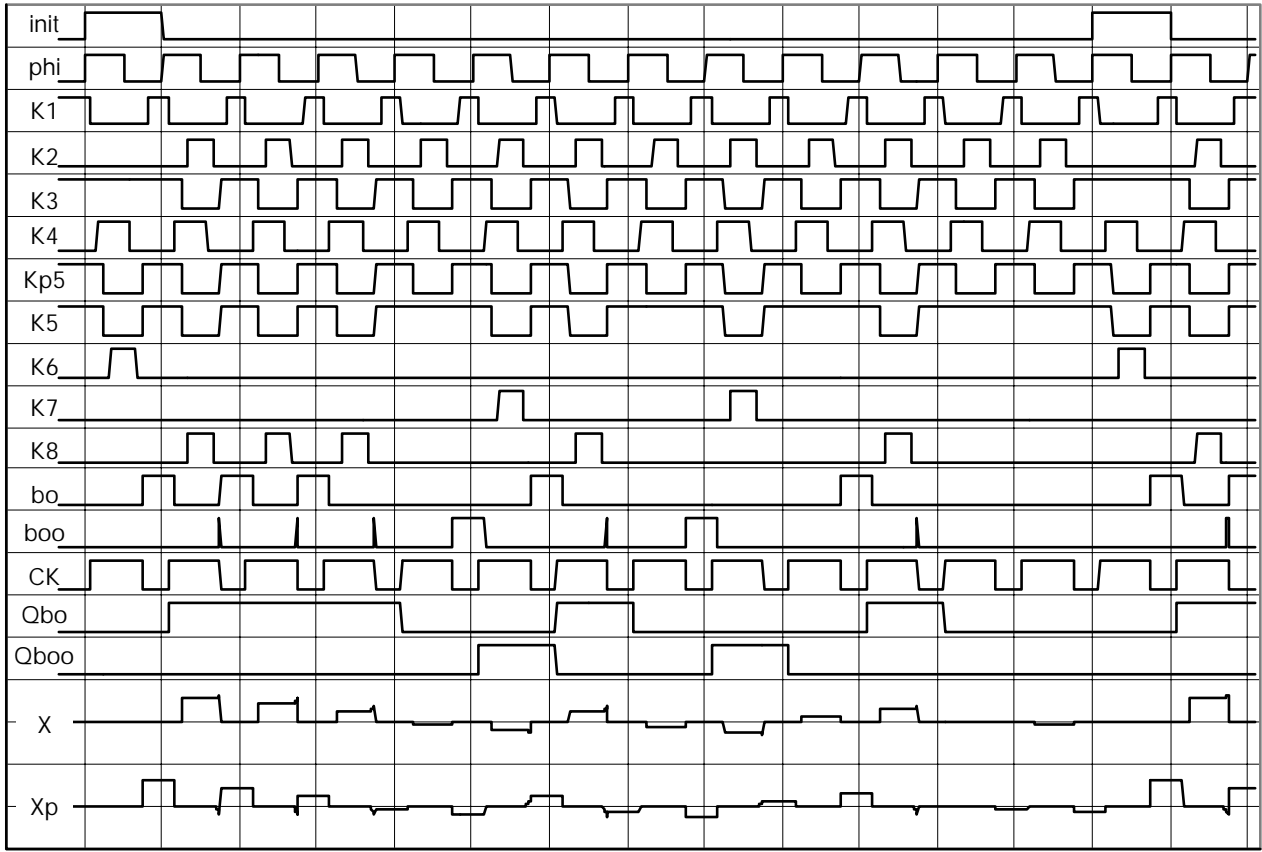
$$\int \frac{x}{1+\frac{x^2}{a^2}} dx = \frac{a^2}{2} \ln(a^2+x^2)$$

$$\frac{(a^2-1)\frac{x^4}{a^4}}{(1+x^2)\left(1+\frac{x^2}{a^2}\right)} = 1 + \frac{1}{1+\frac{x^2}{a^2}} - \frac{\frac{x^2}{a^2}}{1+x^2}$$

Annexe 3 : Points remarquables de $y = \sqrt{\frac{1}{(1-x^2)^2 + 4m^2x^2}}$



Annexe 4 : Chronogrammes de conversion analogique-numérique (partie E – Étude du convertisseur analogique numérique)



Annexe 5 : Caractéristique $I_D = f(V_{SD})$ à $V_{SG} = \text{cte}$ pour un transistor PMOS

V_{SG}	V_{SD}	I_D	$I_D^{\circ} = \frac{\delta I_D}{\delta V_{SD}}$	$\frac{I_D}{V_{SD}^2}$	$V_{SG} - V_{SD}$	$\frac{I_D}{(V_{SG} - V_{SD})^2}$	$\frac{V_{SD} (I_D^{\circ})_{V_{SD}=0}}{(I_D^{\circ})_{V_{SD}=0} - I_D^{\circ}}$	$\frac{(I_D^{\circ})_{V_{SD}=0} - I_D^{\circ}}{2V_{SD}}$
0,9	0,00	0	18,1μ		0,90	0		
0,9	0,20	1,3μ	6,9n	33,1μ	0,70	2,7μ	200,1m	45,3μ
0,9	0,40	1,3μ	5,9n	8,3μ	0,50	5,3μ	400,1m	22,6μ
0,9	0,60	1,3μ	5,2n	3,7μ	0,30	14,7μ	600,2m	15,1μ
0,9	0,80	1,3μ	4,7n	2,1μ	0,10	132,6μ	800,2m	11,3μ
0,9	1,00	1,3μ	4,4n	1,3μ	-0,10	132,7μ	1,0	9,1μ
0,9	1,20	1,3μ	4,1n	922,2n	-0,30	14,8μ	1,2	7,5μ
0,9	1,40	1,3μ	3,9n	677,6n	-0,50	5,3μ	1,4	6,5μ
0,9	1,60	1,3μ	3,8n	519,1n	-0,70	2,7μ	1,6	5,7μ
0,9	1,80	1,3μ	3,6n	410,5n	-0,90	1,6μ	1,8	5,0μ
0,9	2,00	1,3μ	3,5n	332,8n	-1,10	1,1μ	2,0	4,5μ
0,9	2,20	1,3μ	3,5n	275,0n	-1,30	787,6n	2,2	4,1μ
0,9	2,40	1,3μ	3,4n	231,3n	-1,50	592,0n	2,4	3,8μ
0,9	2,60	1,3μ	3,3n	197,2n	-1,70	461,2n	2,6	3,5μ
0,9	2,80	1,3μ	3,3n	170,0n	-1,90	369,3n	2,8	3,2μ
1,5	0,00	0	82,2μ		1,50	0		
1,5	0,20	14,0μ	57,9μ	350,0μ	1,30	8,3μ	675,6m	60,8μ
1,5	0,40	23,1μ	33,5μ	144,6μ	1,10	19,1μ	675,6m	60,8μ
1,5	0,60	27,4μ	9,2μ	76,1μ	0,90	33,8μ	675,6m	60,8μ
1,5	0,80	27,8μ	132,9n	43,4μ	0,70	56,7μ	801,3m	51,3μ
1,5	1,00	27,8μ	111,8n	27,8μ	0,50	111,2μ	1,0	41,0μ
1,5	1,20	27,8μ	96,1n	19,3μ	0,30	309,1μ	1,2	34,2μ
1,5	1,40	27,8μ	84,0n	14,2μ	0,10	2,8m	1,4	29,3μ
1,5	1,60	27,9μ	74,5n	10,9μ	-0,10	2,8m	1,6	25,7μ
1,5	1,80	27,9μ	67,0n	8,6μ	-0,30	309,7μ	1,8	22,8μ
1,5	2,00	27,9μ	60,9n	7,0μ	-0,50	111,5μ	2,0	20,5μ
1,5	2,20	27,9μ	55,9n	5,8μ	-0,70	56,9μ	2,2	18,7μ
1,5	2,40	27,9μ	51,7n	4,8μ	-0,90	34,5μ	2,4	17,1μ
1,5	2,60	27,9μ	48,2n	4,1μ	-1,10	23,1μ	2,6	15,8μ
1,5	2,80	27,9μ	45,2n	3,6μ	-1,30	16,5μ	2,8	14,7μ
2,2	0,00	0	152,7μ		2,20	0		
2,2	0,20	28,2μ	129,1μ	704,3μ	2,00	7,0μ	1,3	59,0μ
2,2	0,40	51,6μ	105,4μ	322,6μ	1,80	15,9μ	1,3	59,1μ
2,2	0,60	70,3μ	81,8μ	195,4μ	1,60	27,5μ	1,3	59,1μ
2,2	0,80	84,4μ	58,2μ	131,8μ	1,40	43,0μ	1,3	59,0μ
2,2	1,00	93,6μ	34,6μ	93,6μ	1,20	65,0μ	1,3	59,0μ
2,2	1,20	98,2μ	11,0μ	68,2μ	1,00	98,2μ	1,3	59,0μ
2,2	1,40	98,8μ	465,6n	50,4μ	0,80	154,3μ	1,4	54,4μ
2,2	1,60	98,9μ	391,2n	38,6μ	0,60	274,6μ	1,6	47,6μ
2,2	1,80	98,9μ	334,6n	30,5μ	0,40	618,3μ	1,8	42,3μ
2,2	2,00	99,0μ	290,6n	24,7μ	0,20	2,5m	2,0	38,1μ
2,2	2,20	99,0μ	255,6n	20,5μ	0,00		2,2	34,6μ
2,2	2,40	99,1μ	227,4n	17,2μ	-0,20	2,5m	2,4	31,8μ
2,2	2,60	99,1μ	204,3n	14,7μ	-0,40	619,6μ	2,6	29,3μ
2,2	2,80	99,2μ	185,2n	12,6μ	-0,60	275,5μ	2,8	27,2μ
2,8	0,00	0	208,6μ		2,80	0		
2,8	0,20	39,4μ	185,7μ	985,8μ	2,60	5,8μ	1,8	57,3μ
2,8	0,40	74,3μ	162,8μ	464,3μ	2,40	12,9μ	1,8	57,3μ
2,8	0,60	104,5μ	139,9μ	290,3μ	2,20	21,6μ	1,8	57,3μ
2,8	0,80	130,2μ	117,1μ	203,4μ	2,00	32,6μ	1,8	57,2μ
2,8	1,00	151,4μ	94,2μ	151,4μ	1,80	46,7μ	1,8	57,2μ
2,8	1,20	167,9μ	71,3μ	116,6μ	1,60	65,6μ	1,8	57,2μ
2,8	1,40	179,9μ	48,4μ	91,8μ	1,40	91,8μ	1,8	57,2μ
2,8	1,60	187,3μ	25,5μ	73,2μ	1,20	130,1μ	1,8	57,2μ
2,8	1,80	190,1μ	2,7μ	58,7μ	1,00	190,1μ	1,8	57,2μ
2,8	2,00	190,3μ	816,2n	47,6μ	0,80	297,3μ	2,0	51,9μ
2,8	2,20	190,4μ	692,3n	39,3μ	0,60	528,9μ	2,2	47,3μ
2,8	2,40	190,6μ	596,2n	33,1μ	0,40	1,2m	2,4	43,3μ
2,8	2,60	190,7μ	520,2n	28,2μ	0,20	4,8m	2,6	40,0μ
2,8	2,80	190,8μ	459,1n	24,3μ	0,00		2,8	37,2μ

Annexe 6 : Documents constructeur

Annexe 6.a : Microphone Knowles, série EA

**Annexe 6.b : Cellules précaractérisées numériques CMOS-0.8 μ m (AMS)
Logique combinatoire alimentée sous 5,0 V**

**Annexe 6.c : Cellules précaractérisées numériques CMOS-0.8 μ m (AMS)
Éléments de mémorisation alimentés sous 5,0 V**

**Annexe 6.d : Cellules précaractérisées analogiques CMOS-0.8 μ m (AMS)
Amplificateurs opérationnels**

Annexe 6.a : Microphone Knowles, série EA

Product Specs

- " Electret condenser microphone
- " Various responses available
- " High resistance to mechanical shock
- " Available with RFI suppression
- " Rugged construction to withstand severe environmental conditions

Power Requirements

Supply Voltage (V_S)
 range: 0.9V to 10.0V_{DC}
 typical: 1.3V_{DC}

Quiescent Current Drain (@ $V_S = 1.3V_{DC}$)
 typical: 20 μ A
 maximum: 50 μ A

Performance

Sensitivity Range @ primary test frequency
 Ski Slope and Step responses: ± 4 dB
 all other responses: ± 3 dB

Input-Referred Vibration Sensitivity*
 (1g acceleration, 1kHz ref.)
 maximum: 77dB SPL

Low Supply Voltage Sensitivity Loss
 (V_S reduced from 1.3 to 0.9V_{DC})
 typical: 0.3dB
 maximum: 3.0dB

Temperature Range
 operating: -17°C to 63°C
 storage: -40°C to 63°C

Humidity Coefficient of Sensitivity
 typical: 0.02dB per %RH
 (in the absence of condensation)

ESD Tolerance
 MIL-STD-750 Class 1 rating
 EOS/ESD-S5.1-1993 Class 2 rating

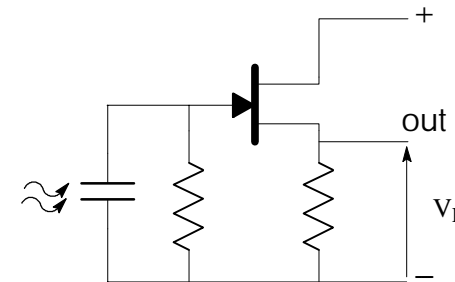
Output Impedance @ 1kHz
 range: 2.0 to 6.0 kohms
 nominal: 3.5 kohms

**For standard, damped, and undamped models only*

Acoustic Polarity

Increased pressure at sound inlet causes a positive going voltage to appear at the output terminal, relative to the negative terminal

Circuit Diagram (indicative)



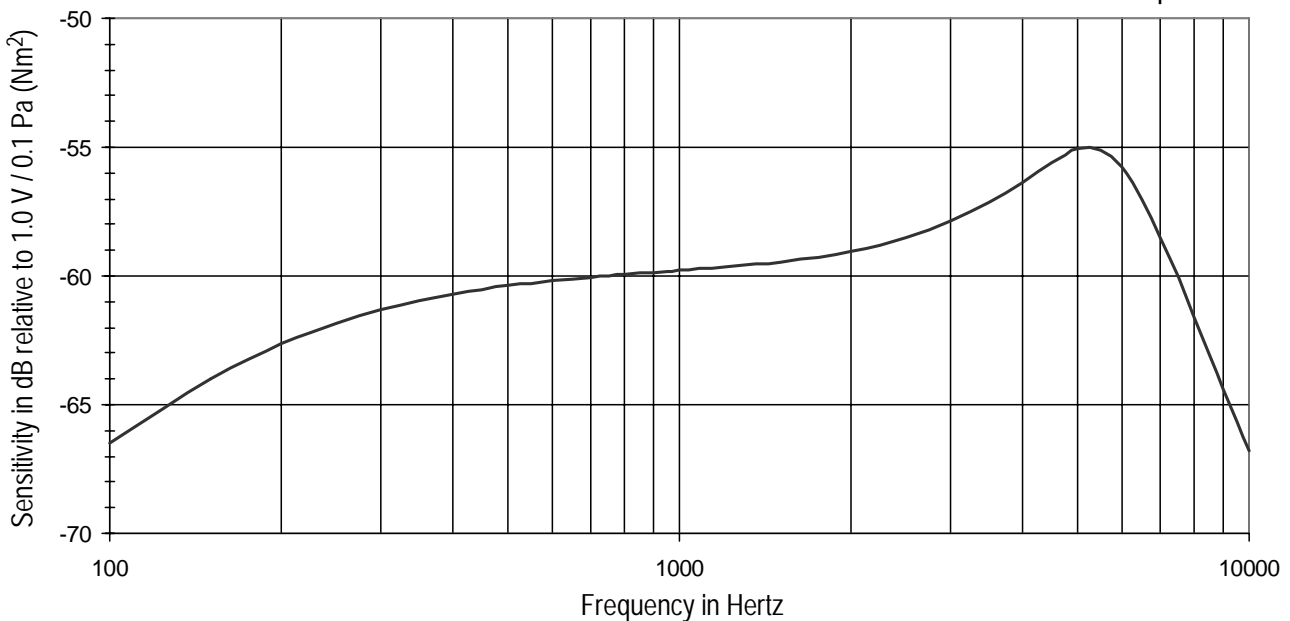
Power Supply Feedthrough Attenuation
 typical: 17dB output-referred

Load Voltage (V_L)
 range: 0.2 to 0.9 V_{DC}
 typical: 0.5 V_{DC}

Output Noise Level (A-weighted)
 typical: 25dB SPL
 maximum: 29dB SPL

Input-Referred Noise Level* (A-weighted, 1kHz ref.)
 typical: 25dB SPL
 maximum: 29dB SPL

Standard Response



Annexe 6.b : Cellules précaractérisées numériques CMOS-0.8µm (AMS)

Logique combinatoire alimentée sous 5,0 V

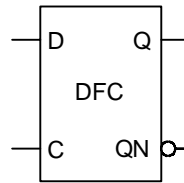
CELL	DESCRIPTION	AREA (sq.mils)	POWER (µW/MHz)	DELAY (ns)	
					<i>Remarque : les cellules AN32, AN221, AN322, AN331, AN332, ON32, ON33, ON221, ON222, bien que disponibles ne sont pas dessinées ci-dessous</i>
AN21	2-Input AND into 2-Input NOR	1.33	6.28	1.12	
AN22	2x2-Input AND into 2-Input NOR	1.86	7.26	1.22	
AN31	3-Input AND into 2-Input NOR	1.60	4.38	1.25	
AN32	3-Input AND, 2-Input AND into 2-Input NOR	1.86	7.38	1.31	
AN33	2x3-Input AND into 2-Input NOR	2.40	9.75	1.43	
AN211	2-Input AND into 3-Input NOR	1.60	8.65	1.25	
AN221	2x2-Input AND into 3-Input NOR	1.86	10.71	1.34	
AN222	3x2-Input AND into 3-Input NOR	1.86	12.34	1.39	
AN311	3-Input AND into 3-Input NOR	1.60	6.20	1.30	
AN321	3-Input AND, 2-Input AND into 3-Input NOR	2.40	5.33	1.45	
AN322	3-Input AND, 2x2-Input AND into 3-Input NOR	2.66	12.39	1.48	
AN331	2x3-Input AND into 3-Input NOR	2.40	5.07	1.48	
AN332	2x3-Input AND, 2-Input AND into 3-Input NOR	2.66	13.57	1.55	
AN333	3x3-Input AND into 3-Input NOR	3.19	15.38	1.67	
AND2	2-Input AND	1.06	5.90	1.25	
AND3	3-Input AND	1.60	7.55	1.28	
AND4	4-Input AND	1.60	9.40	1.34	
EN1	2-Input XNOR	1.60	5.67	1.20	
EO1	2-Input XOR	1.60	7.33	1.26	
IN1	Inverter	0.53	3.33	1.11	
MU2	2:1 Multiplexer	1.60	6.70	1.48	
MU4	4:1 Multiplexer	3.46	7.95	2.50	
MU8	8:1 Multiplexer	7.19	12.83	2.13	
NA2	2-Input NAND	0.80	4.05	1.21	
NA3	3-Input NAND	1.33	4.29	1.30	
NA4	4-Input NAND	1.60	6.00	1.32	
NA6	6-Input NAND	2.66	7.65	1.78	
NA8	8-Input NAND	3.46	8.00	1.85	
NO2	2-Input NOR	0.80	4.84	1.05	
NO3	3-Input NOR	1.60	5.01	1.17	
NO4	4-Input NOR	1.60	8.40	1.55	
ON21	2-Input OR into 2-Input NAND	1.60	4.13	1.17	
ON22	2x2-Input OR into 2-Input NAND	1.60	5.78	1.18	
ON31	3-Input OR into 2-Input NAND	1.60	7.00	1.25	
ON32	3-Input OR, 2-Input OR into 2-Input NAND	1.86	8.17	1.29	
ON33	2x3-Input OR into 2-Input NAND	2.13	10.88	1.35	
ON211	2-Input OR into 3-Input NAND	1.60	7.84	1.43	
ON221	2x2-Input OR into 3-Input NAND	1.86	6.12	1.36	
ON222	3x2-Input OR into 3-Input NAND	2.66	6.96	1.38	
ON311	3-Input OR into 3-Input NAND	1.86	5.55	1.34	
ON321	3-Input OR, 2-Input OR into 3-Input NAND	2.40	6.28	1.36	
ON322	3-Input OR, 2x2-Input OR into 3-Input NAND	2.40	7.39	1.48	
ON331	2x3-Input OR into 3-Input NAND	2.93	8.43	1.50	
ON332	2x3-Input OR, 2-Input OR into 3-Input NAND	2.93	8.88	1.55	
ON333	3x3-Input OR into 3-Input NAND	2.93	11.65	1.63	
OR2	2-Input OR	1.33	6.02	1.32	
OR3	3-Input OR	1.60	6.74	1.46	
OR4	4-Input OR	1.60	7.50	1.53	

(c) Copyright Austria Mikro Systeme International AG

Annexe 6.c : Cellules précaractérisées numériques CMOS-0.8µm (AMS)

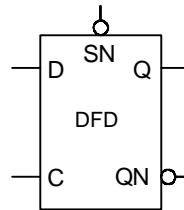
Éléments de mémorisation alimentés sous 5,0 V

CELL	DESCRIPTION	AREA (sq.mils)	POWER (µW/MHz)	DELAY (ns)
DFC	Fast D-Type Flip-Flop	2.93	15.12	
	Delay from C to Q			1.25
	Delay from C to QN			1.40
	Min D setup time to C			0.19
	Min C width			0.79
	Min D Hold time to C			0.00



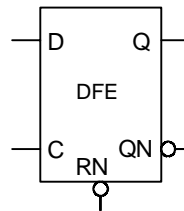
D	C	Q	QN
H	↑	H	L
L	↑	L	H
X	↓	no change	

DFD	Fast D-Type Flip-Flop with Set	3.73	15.69	
	Delay from C to Q			1.22
	Delay from C to QN			1.33
	Delay from SN to Q			1.26
	Delay from SN to QN			1.35
	Min D setup time to C			0.11
	Min SN setup time to C			0.00
	Min C width			0.75
	Min SN width			0.67
	Min D Hold time to C			0.00
	Min SN Hold time to C			0.36



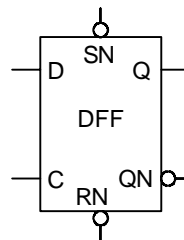
SN	D	C	Q	QN
H	H	↑	H	L
H	L	↑	L	H
H	X	↓	no change	
L	X	X	H	L

DFE	Fast D-Type Flip-Flop with Reset	3.99	19.52	
	Delay from C to Q			1.40
	Delay from C to QN			1.55
	Delay from RN to Q			1.49
	Delay from RN to QN			1.37
	Min D setup time to C			0.40
	Min RN setup time to C			0.00
	Min C width			0.79
	Min RN width			1.04
	Min D Hold time to C			0.00
	Min RN Hold time to C			0.43



RN	D	C	Q	QN
H	H	↑	H	L
H	L	↑	L	H
H	X	↓	no change	
L	X	X	L	H

DFF	Fast D-Type Flip-Flop with Set and Reset	4.53	20.17	
	Delay from C to Q			1.45
	Delay from C to QN			1.55
	Delay from SN to Q			2.04
	Delay from SN to QN			1.59
	Delay from RN to Q			1.53
	Delay from RN to QN			1.37
	Min D setup time to C			0.43
	Min SN setup time to C			0.00
	Min RN setup time to C			0.00
	Min C width			0.80
	Min SN width			1.00
	Min RN width			0.73
	Min D Hold time to C			0.00
	Min SN Hold time to C			0.84
	Min RN Hold time to C			0.46



SN	RN	D	C	Q	QN
H	H	H	↑	H	L
H	H	L	↑	L	H
H	H	X	↓	no change	
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	illegal	

(c) Copyright Austria Mikro Systeme International AG

Annexe 6.d : Cellules précaractérisées analogiques CMOS-0.8 μ m (AMS) Amplificateurs opérationnels

§ OP01B, Opamp, universal applications

§ OP02B, Opamp, filter and buffer applications

§ OP03B, Opamp, low noise and low offset applications

§ OP05B, Opamp, low power switched capacitor applications

§ OP06B, Opamp, low noise and low offset applications

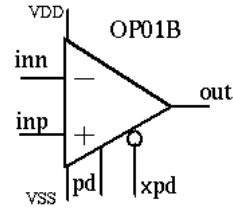
§ SB1, Opamp, universal applications

OP01B Opamp

Key Features

- Large Input and Output Range
- Supply Voltage 4.5 - 5.5 V
- Small Area 0.031mm²
- Size x=128.2µm y=243µm
- Suitable For SC - Applications
- Power-Down-Mode I_{vdd} < 1nA

Symbol



Description

The OP01B cell is an internally compensated operational amplifier with a PMOS input stage. The amplifier is designed for universal applications, such as switched capacitor or internal antialiasing filters.

The operational amplifier has a power-down mode to permit very low standby currents. This mode is controlled by the complementary signals "pd" and "xpd".

Pin List

Pin	Description	Capacitance
inn	inverting input	0.5pF
inp	noninverting input	0.5pF
xpd	power down not	0.05pF
pd	power down	0.05pF
out	analogue output	x
vdda	positive analogue power supply	x
vssa	negative analogue power supply	x

Electrical Parameters

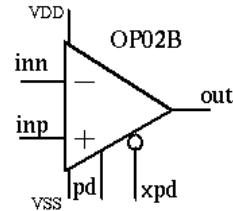
OP01B	0.8µm	CXE			
		Min	Typ	Max	Unit
Parameter	Symbol	Min	Typ	Max	Unit
Power Supply Range	V _{dd}	4.5	5.0	5.5	V
Temperature Range	Temp	-50	25	125	deg
AC Parameters					
Open Loop Gain	A ₀	89	98	102	dB
Unity Gain Bandwidth (10p F / 10M Ohms)	BW	4.1	14.2	48.7	MHz
Phase Margin	Ø _m	41	86	95	deg
Unity Gain Bandwidth (35p F / 10M Ohms)	BW	3.7	9.2	27.7	MHz
Phase Margin	Ø _m	43.6	56	67	deg
Common Mode Rejection Ratio	CMRR	73	81	89	dB
Power Supply Rejection Ratio V _{dd}	PSRR _{vdd}	82	101	120	dB
Power Supply Rejection Ratio V _{ss}	PSRR _{vss}	71	81	90	dB
Output Resistance	R _{out}	xx	xx	xx	KOhms
DC Parameters					
Input Offset Voltage	V _{os}	-10		10	mV
Power Supply Current	I _{dd}	0.08	0.3	0.94	mA
Power Consumption	PV _{dd}	0.36	1.5	5.17	mW
Output Source Current	I _{source}	0.54	1.5	3.8	mA
Output Sink Current	I _{sink}	5.7	15	30	mA
Common Mode Input Range-low	CMIR-L	0.02	0.15	0.6	V
Common Mode Input Range-high	CMIR-H	4.01	4.46	4.87	V
Output Range-low (R _l = 10M)	V _{out-L}	0.0	0.0	0.0	V
Output Range-high (R _l = 10M)	V _{out-H}	4.5	5.0	5.5	V
Transient Parameters					
Slew Rate - Rise	SRP	2.2	9.6	30.9	V/µS
Slew Rate - Fall	SRN	2.45	10.3	28.5	V/µS
Settling Time - Rise	TSP	0.08	0.25	0.79	µS
Settling Time - Fall	TSN	0.06	0.19	0.71	µS
Startup Time	T _{start}	0.11	0.38	1.3	µS
Total Harmonic Distortion	THD	-59	-60	-65	dB
Noise Parameters					
Equivalent Input Noise @10Hz	e _n	0.13	0.19	0.28	µV/Root Hz
Equivalent Input Noise @100KHz	e _n	7	13	27	nV/Root Hz

OP02B Opamp

Key Features

- Large Input and Output Range
- Supply Voltage 4.5 - 5.5 V
- Small Area 0.057mm²
- Size x=234µm y=243µm
- Suitable For Antialiasing Filter Applications
- Power-Down-Mode I_{vdd} < 1nA

Symbol



Description

The OP02B cell is an internally compensated operational amplifier with a PMOS input stage. The amplifier is designed for filter and buffer applications.

The operational amplifier has a power-down mode to permit very low standby currents. This mode is controlled by the complementary signals "pd" and "xpd".

Pin List

Pin	Description	Capacitance
inn	inverting input	0.5pF
inp	noninverting input	0.5pF
xpd	power down not	0.05pF
pd	power down	0.05pF
out	analogue output	x
vdda	positive analogue power supply	x
vssa	negative analogue power supply	x

Electrical Parameters

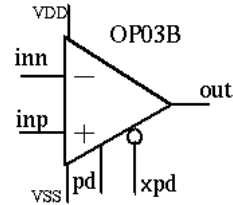
OP02B Parameter	0.8µm Symbol	CXE			Unit
		Min	Typ	Max	
Power Supply Range	Vdd	4.5	5.0	5.5	V
Temperature Range	Temp	-50	25	125	deg
AC Parameters					
Open Loop Gain	A0	103	108	112	dB
Unity Gain Bandwidth (10p F / 10M Ohms)	BW	1.5	4.2	11.6	MHz
Phase Margin	Øm	69	89	104	deg
Unity Gain Bandwidth (50p F / 10M Ohms)	BW	1.1	3.2	9.1	MHz
Phase Margin	Øm	45	56	70	deg
Common Mode Rejection Ratio	CMRR	63	72	81	dB
Power Supply Rejection Ratio Vdd	PSRRvdd	87	107	109	dB
Power Supply Rejection Ratio Vss	PSRRvss	66	72	80	dB
Output Resistance	Rout	x	x	x	KOhms
DC Parameters					
Input Offset Voltage	Vos	-10		10	mV
Power Supply Current	I _{dd}	0.04	0.16	0.5	mA
Power Consumption	PV _{dd}	0.18	0.8	2.75	mW
Output Source Current	I _{source}	0.42	1.27	3.34	mA
Output Sink Current	I _{sink}	4.5	11.4	23.7	mA
Common Mode Input Range-low	CMIR-L	0.05	0.07	0.36	V
Common Mode Input Range-high	CMIR-H	3.95	4.41	4.83	V
Output Range-low (R _l = 100K)	V _{out-L}	0.0	0.0	0.0	V
Output Range-high (R _l = 100K)	V _{out-H}	4.5	5.0	5.5	V
Transient Parameters					
Slew Rate - Rise	SRP	1.07	5.02	16.9	V/µS
Slew Rate - Fall	SRN	1.19	4.88	16.7	V/µS
Settling Time - Rise	TSP	0.17	0.59	1.82	µS
Settling Time - Fall	TSN	0.16	0.57	1.82	µS
Startup Time	T _{start}	0.37	1.16	5.56	µS
Total Harmonic Distortion	THD	-58	-59	-65	dB
Noise Parameters					
Equivalent Input Noise @10Hz	en	0.08	0.12	0.16	µV/Root Hz
Equivalent Input Noise @100KHz	en	13	22	41	nV/Root Hz

OP03B Opamp

Key Features

- Large Input and Output Range
- Supply Voltage 4.5 - 5.5 V
- Small Area 0.119mm²
- Size x=491µm y=243µm
- Low noise and low offset
- Output load 5kOhms / 50 pF
- Power-Down-Mode Ivdd < 1nA

Symbol



Description

The OP03B cell is an internally compensated operational amplifier with a PMOS input stage. The amplifier is designed for low noise and low offset applications.

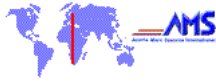
The operational amplifier has a power-down mode to permit very low standby currents. This mode is controlled by the complementary signals "pd" and "xpd".

Pin List

Pin	Description	Capacitance
inn	inverting input	30pF
inp	noninverting input	30pF
xpd	power down not	0.05pF
pd	power down	0.05pF
out	analogue output	x
vdda	positive analogue power supply	x
vssa	negative analogue power supply	x

Electrical Parameters

OP03B	0.8µm	CXE			
		Min	Typ	Max	Unit
Parameter	Symbol	Min	Typ	Max	Unit
Power Supply Range	Vdd	4.5	5.0	5.5	V
Temperature Range	Temp	-50	25	125	deg
AC Parameters					
Open Loop Gain	A0	107	118	122	dB
Unity Gain Bandwidth (0.1p F / 10M Ohms)	BW	0.9	2.6	7.1	MHz
Phase Margin	Øm	77	91	110	deg
Unity Gain Bandwidth (50p F / 10M Ohms)	BW	0.9	2.5	7.0	MHz
Phase Margin	Øm	48	65	79	deg
Common Mode Rejection Ratio	CMRR	67	74	81	dB
Power Supply Rejection Ratio Vdd	PSRRvdd	62	71	78	dB
Power Supply Rejection Ratio Vss	PSRRvss	74	82	89	dB
Output Resistance	Rout	x	x	x	KOhms
DC Parameters					
Input Offset Voltage	Vos	-5		+5	mV
Power Supply Current	Idd	0.07	0.28	0.87	mA
Power Consumption	PVdd	0.32	1.4	4.8	mW
Output Source Current	Isource	1.1	3.3	8.5	mA
Output Sink Current	Isink	4.1	10.3	21.5	mA
Common Mode Input Range-low	CMIR-L	0.05	0.1	0.28	V
Common Mode Input Range-high	CMIR-H	4.1	4.51	4.8	V
Output Range-low (Rl = 10M)	Vout-L	0.0	0.0	0.0	V
Output Range-high (Rl = 10M)	Vout-H	4.5	5.0	5.5	V
Transient Parameters					
Slew Rate - Rise	SRP	3.3	8.8	24.3	V/µS
Slew Rate - Fall	SRN	3.2	9.4	23.1	V/µS
Settling Time - Rise	TSP	0.34	0.88	2.46	µS
Settling Time - Fall	TSN	0.25	0.61	2.2	µS
Startup Time	Tstart	1.23	3.35	18.13	µS
Total Harmonic Distortion	THD	-60	-61	-65	dB
Noise Parameters					
Equivalent Input Noise @10Hz	en	0.032	0.046	0.065	µV/Root Hz
Equivalent Input Noise @100KHz	en	9.6	18	35	nV/Root Hz

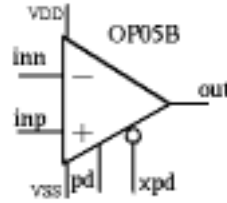


OP05B Opamp

Key Features

- Large Input and Output Range
- Supply Voltage 4.5 - 5.5 V
- Small Area 0.031mm²
- Size x=129µm y=243µm
- Suitable For SC - Applications
- Power-Down-Mode Ivdd < 1nA

Symbol



Description

The OP05B cell is an internally compensated operational amplifier with a PMOS input stage. The amplifier is designed for low power switched capacitor applications.

The operational amplifier has a power-down mode to permit very low standby currents. This mode is controlled by the complementary signals "pd" and "xpd".

Pin List

Pin	Description	Capacitance
inn	inverting input	0.1pF
inp	noninverting input	0.1pF
xpd	power down not	0.05pF
pd	power down	0.05pF
out	analogue output	x
vdda	positive analogue power supply	x
vssa	negative analogue power supply	x

Electrical Parameters

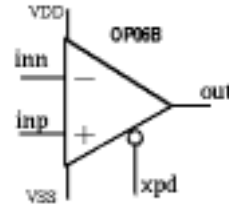
OP05B	0.8µm	CXE			
		Min	Typ	Max	Unit
Parameter	Symbol	Min	Typ	Max	Unit
Power Supply Range	Vdd	4.5	5.0	5.5	V
Temperature Range	Temp	-50	25	125	deg
AC Parameters					
Open Loop Gain	A0	100	106	109	dB
Unity Gain Bandwidth (10p F / 10M Ohms)	BW	1.2	2.2	5.8	MHz
Phase Margin	Øm	61	67	79	deg
Unity Gain Bandwidth (20p F / 10M Ohms)	BW	1.1	1.9	3.0	MHz
Phase Margin	Øm	44	51	63	deg
Common Mode Rejection Ratio	CMRR	60	69	77	dB
Power Supply Rejection Ratio Vdd	PSRRvdd	81	91	96	dB
Power Supply Rejection Ratio Vss	PSRRvss	60	69	77	dB
Output Resistance	Rout	x	x	x	KOhms
DC Parameters					
Input Offset Voltage	Vos	-10		10	mV
Power Supply Current	Idd	0.02	0.05	0.14	mA
Power Consumption	PVdd	0.09	0.25	0.9	mW
Output Source Current	Isource	0.01	0.03	0.08	mA
Output Sink Current	Isink	0.6	1.8	4.6	mA
Common Mode Input Range-low	CMIR-L	0.07	0.22	0.65	V
Common Mode Input Range-high	CMIR-H	3.95	4.39	4.96	V
Output Range-low (Rl = 10M)	Vout-L	0.01	0.02	0.05	V
Output Range-high (Rl = 10M)	Vout-H	4.49	4.99	5.48	V
Transient Parameters					
Slew Rate - Rise	SRP	0.6	1.2	3.0	V/µS
Slew Rate - Fall	SRN	1.2	3.4	9.6	V/µS
Settling Time - Rise	TSP	0.78	2.12	5.12	µS
Settling Time - Fall	TSN	0.40	1.16	2.64	µS
Startup Time	Tstart	0.7	1.6	5.3	µS
Total Harmonic Distortion	THD	-58	-62	-65	dB
Noise Parameters					
Equivalent Input Noise @10Hz	en	0.4	0.6	0.8	µV/Root Hz
Equivalent Input Noise @100KHz	en	16	29	55	nV/Root Hz

OP06B Opamp

Key Features

- Large Input and Output Range
- Supply Voltage 4.5 - 5.5 V
- Small Area 0.11mm²
- Size x=443µm y=243µm
- Low Noise And Low Offset
- Power-Down-Mode Ivdd < 1nA

Symbol



Description

The OP06B cell is an internally compensated operational amplifier with a PMOS input stage. The amplifier is designed for low offset low noise applications. The operational amplifier has a power-down mode to permit very low standby currents. This mode is controlled by the signal "xpd".

Pin List

Pin	Description	Capacitance
inn	inverting input	0.5pF
inp	noninverting input	0.5pF
xpd	power down not	0.05pF
pd	power down	0.05pF
out	analogue output	x
vdda	positive analogue power supply	x
vssa	negative analogue power supply	x

Electrical Parameters

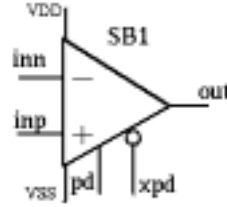
OP06B	0.8µm	CXE			
		Symbol	Min	Typ	Max
Power Supply Range	Vdd	4.5	5.0	5.5	V
Temperature Range	Temp	-50	25	125	deg
AC Parameters					
Open Loop Gain	A0	117	120	123	dB
Unity Gain Bandwidth (1p F / 10M Ohms)	BW	1.5	1.97	2.6	MHz
Phase Margin	Øm	65	71	82	deg
Unity Gain Bandwidth (12p F / 1M Ohms)	BW	1.7	1.96	2.6	MHz
Phase Margin	Øm	53	59	68	deg
Common Mode Rejection Ratio	CMRR	69	71	73	dB
Power Supply Rejection Ratio Vdd	PSRRvdd	101	104	108	dB
Power Supply Rejection Ratio Vss	PSRRvss	67	71	73	dB
Output Resistance	Rout	278m	428m	700m	Ohms
DC Parameters					
Input Offset Voltage	Vos	-5		5	mV
Power Supply Current	Idd	0.07	0.1	0.14	mA
Power Consumption	PVdd	0.32	0.5	0.8	mW
Output Source Current	Isource	0.35	0.8	1.6	mA
Output Sink Current	Isink	5.8	16.6	35	mA
Common Mode Input Range-low	CMIR-L	0.02	0.15	0.6	V
Common Mode Input Range-high	CMIR-H	3.7	4.44	5.36	V
Output Range-low (Rl = 10M)	Vout-L	0.0	0.0	0.0	V
Output Range-high (Rl = 10M)	Vout-H	4.5	5.0	5.5	V
Transient Parameters					
Slew Rate - Rise	SRP	6.8	8.1	9.4	V/µS
Slew Rate - Fall	SRN	5.5	7.2	8.6	V/µS
Settling Time - Rise	TSP	0.9	1.4	1.7	µS
Settling Time - Fall	TSN	0.9	1.1	1.3	µS
Startup Time	Tstart	3.0	3.9	5.2	µS
Total Harmonic Distortion	THD	tbt	tbt	tbt	dB
Noise Parameters					
Equivalent Input Noise @10Hz	en	0.06	0.09	0.13	µV/Root Hz
Equivalent Input Noise @100KHz	en	25	33	45	nV/Root Hz

SB1 Opamp

Key Features

- Rail-to-Rail Input and Output Range
- Supply Voltage 4.5 - 5.5 V
- Small Area 0.074mm²
- Size x=305µm y=243µm
- Suitable For SC and Antialiasing Filter Applications
- Power-Down-Mode I_{vdd} < 1nA

Symbol



Description

The SB1 cell is an internally compensated operational amplifier with NMOS and PMOS input stage. The amplifier is designed for universal applications, such as switched capacitor or internal antialiasing filters.

The operational amplifier has a power-down mode to permit very low standby currents. This mode is controlled by the complementary signals "pd" and "xpd".

Pin List

Pin	Description	Capacitance
inn	inverting input	1.0pF
inp	noninverting input	1.0pF
xpd	power down not	0.05pF
pd	power down	0.05pF
out	analogue output	x
vdda	positive analogue power supply	x
vssa	negative analogue power supply	x

Electrical Parameters

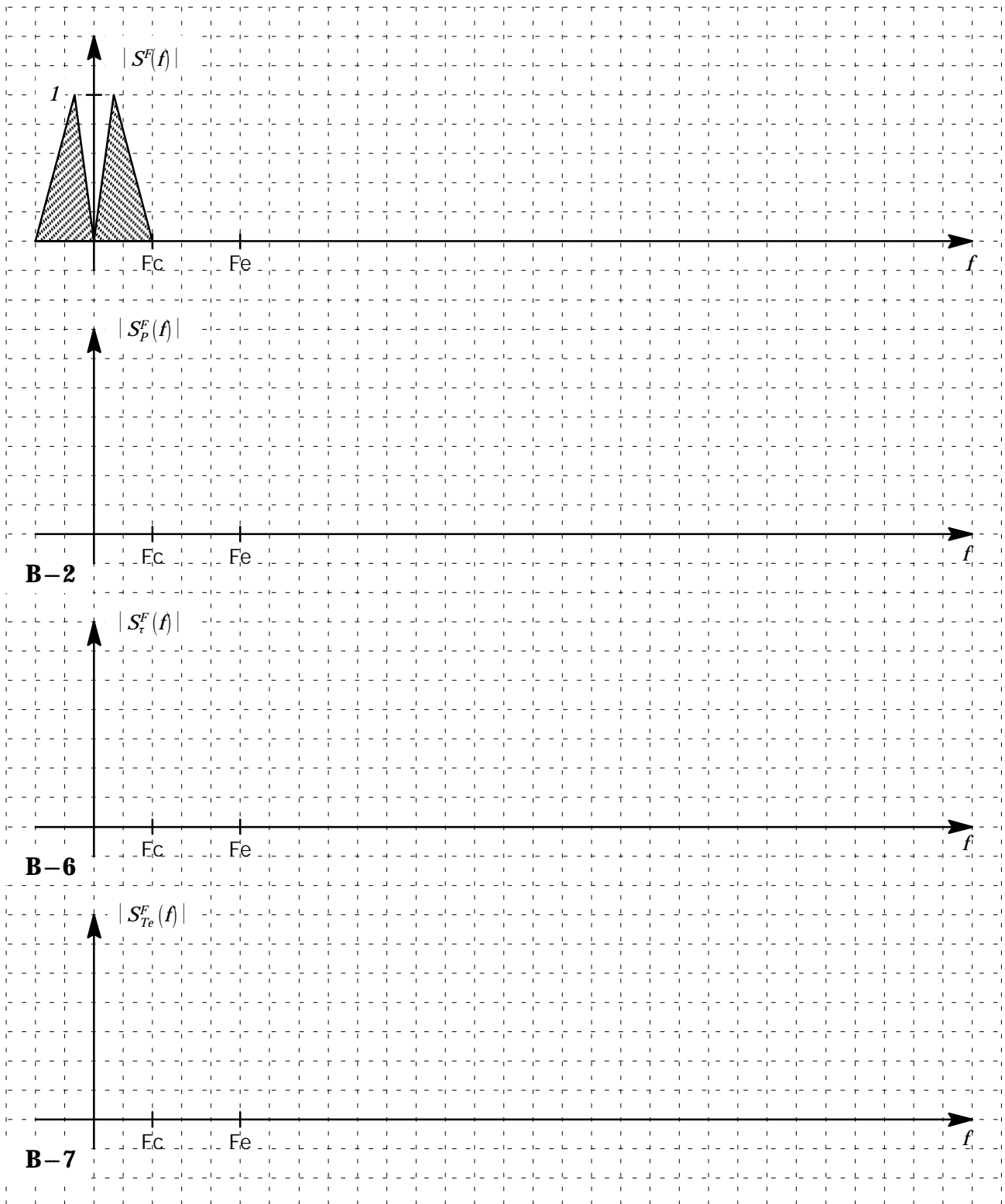
SB1	0.8µm		CXE		
	Symbol	Min	Typ	Max	Unit
Power Supply Range	V _{dd}	4.5	5.0	5.5	V
Temperature Range	Temp	-50	25	125	deg
AC Parameters					
Open Loop Gain	A ₀	98	110	112	dB
Unity Gain Bandwidth (100p F / 10M Ohms)	BW	1.0	3.6	6.8	MHz
Phase Margin	Ø _m	32	56	68	deg
Unity Gain Bandwidth (140p F / 10M Ohms)	BW	1.6	3.0	9.5	MHz
Phase Margin	Ø _m	28	54	64	deg
Common Mode Rejection Ratio	CMRR	62	70	76	dB
Power Supply Rejection Ratio V _{dd}	PSRR _{vdd}	48	49	51	dB
Power Supply Rejection Ratio V _{ss}	PSRR _{vss}	48	49	52	dB
Output Resistance	R _{out}	xx	xx	xx	KOhms
DC Parameters					
Input Offset Voltage	V _{os}	-10		+10	mV
Power Supply Current	I _{dd}	0.1	0.33	1.4	mA
Power Consumption	PV _{dd}	0.45	1.65	7.7	mW
Output Source Current	I _{source}	2.8	7.9	14.8	mA
Output Sink Current	I _{sink}	3.2	9.0	21.4	mA
Common Mode Input Range-low	CMIR-L	0.00	0.00	0.00	V
Common Mode Input Range-high	CMIR-H	4.50	5.00	5.50	V
Output Range-low (R _l = 10M)	V _{out-L}	0.00	0.00	0.00	V
Output Range-high (R _l = 10M)	V _{out-H}	4.50	5.00	5.50	V
Transient Parameters					
Slew Rate - Rise	SRP	1.4	4.0	8.8	V/µS
Slew Rate - Fall	SRN	1.8	5.2	16.1	V/µS
Settling Time - Rise	TSP	0.20	0.68	2.4	µS
Settling Time - Fall	TSN	0.24	0.51	2.2	µS
Startup Time	T _{start}	0.3	1.0	2.5	µS
Total Harmonic Distortion	THD	-60	-65	-66	dB
Noise Parameters					
Equivalent Input Noise @10Hz	e _n	0.12	0.17	0.24	µV/Root Hz
Equivalent Input Noise @100KHz	e _n	9	16	31	nV/Root Hz

ÉLÉMENTS D'UNE PROTHÈSE AUDITIVE NUMÉRIQUE

Documents réponse

Document réponse 1 : (Question A–2)

$P_{S_{dB}}$ \ V_{me}	@ 1 kHz			@ 5 kHz		
	<i>min</i>	<i>typ</i>	<i>max</i>	<i>min</i>	<i>typ</i>	<i>max</i>
30 dB SPL						
100 dB SPL						



Document réponse 2 : (Questions B-2, B-6 et B-7)

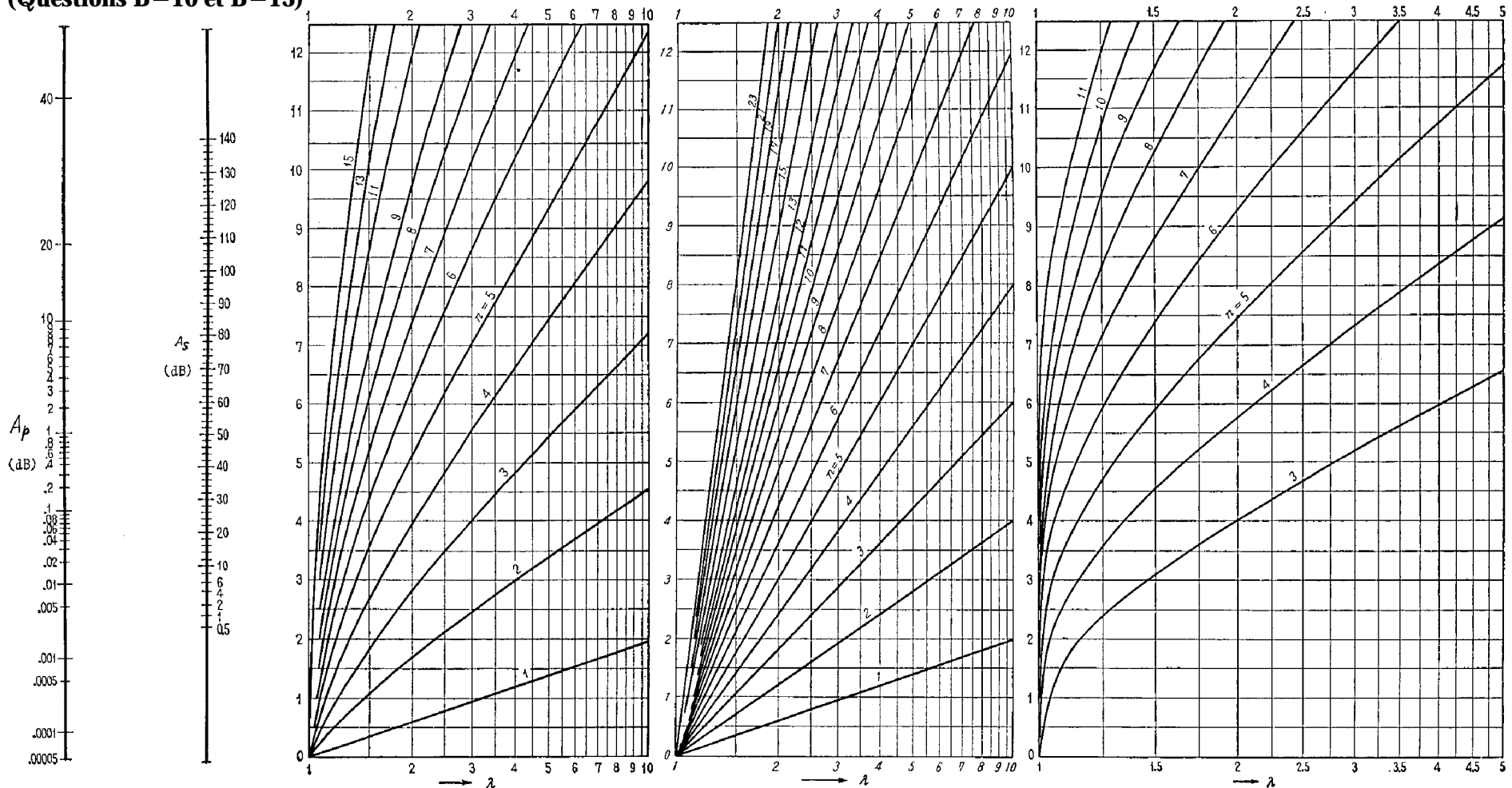
Le choix de l'échelle verticale est laissé au candidat, qui graduera donc (grossièrement) l'axe vertical de chacun des diagrammes.

**Document réponse 3 :
(Questions B-10 et B-13)**

Tchebycheff

Butterworth

Cauer

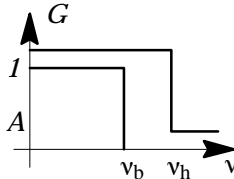


Abaques de Kawakami

Emploi de l'abaque :

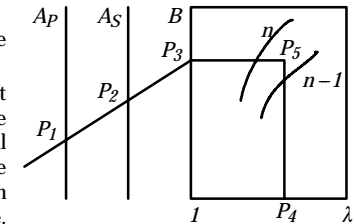
Exemple de gabarit

G : gain
 v_b : fréquence de coupure basse
 v_h : fréquence de coupure haute
 zone transitoire $v_b - v_h$



- placer une règle sur l'échelle de gauche, en P_1 , où figure l'écart tolérable A_p dans la bande passante ;
- placer l'autre extrémité de la règle sur l'échelle de droite, en P_2 , où figure l'atténuation minimale A_S requise dans la bande coupée ;
- ces deux points P_1 et P_2 définissent une droite qui, prolongée, coupe l'axe vertical de l'abaque en P_3 ;

- par ce point d'intersection P_3 on trace une parallèle à l'axe horizontal de l'abaque ;
- l'axe horizontal de l'abaque est gradué en rapport $\lambda = v_h/v_b$, rapport des fréquences qui limitent la zone transitoire tolérée ; du point P_4 de l'axe horizontal qui correspond à cette valeur, on élève une verticale qui va couper l'horizontale précédemment tracée en un point P_5 qui indique l'ordre nécessaire n du filtre.



Document réponse 4 : (Question C–4)

Soit $a_1 = L_1 = W_1$ le côté du carré de poly1 et $a_2 = L_2 = W_2$ le côté du carré de poly2 qui constituent la capacité étudiée.

	<i>valeur</i>	a_2	a_1	<i>surface</i>
C_1	0,01 pF			
C_2	0,1 pF			
C_3	1 pF			
C_4	10 pF			
C_5	100 pF			
C_6	1 nF			

Document réponse 5 : (Question C–6)

	<i>valeur</i>	a_2 (dess.)	a_{2min}	a_{2typ}	a_{2max}	C_{min}	C_{typ}	C_{max}
C_1	0,01 pF							
C_2	0,1 pF							
C_3	1 pF							
C_4	10 pF							
C_5	100 pF							
C_6	1 nF							

Document réponse 6 : (Question C – 10)

	<i>valeur</i>	<i>a1</i>	C_{par}	C_{par}/C (%)
C ₁	0,01 pF			
C ₂	0,1 pF			
C ₃	1 pF			
C ₄	10 pF			
C ₅	100 pF			
C ₆	1 nF			

Document réponse 7 : (Question C – 13)

(dimensions en microns)

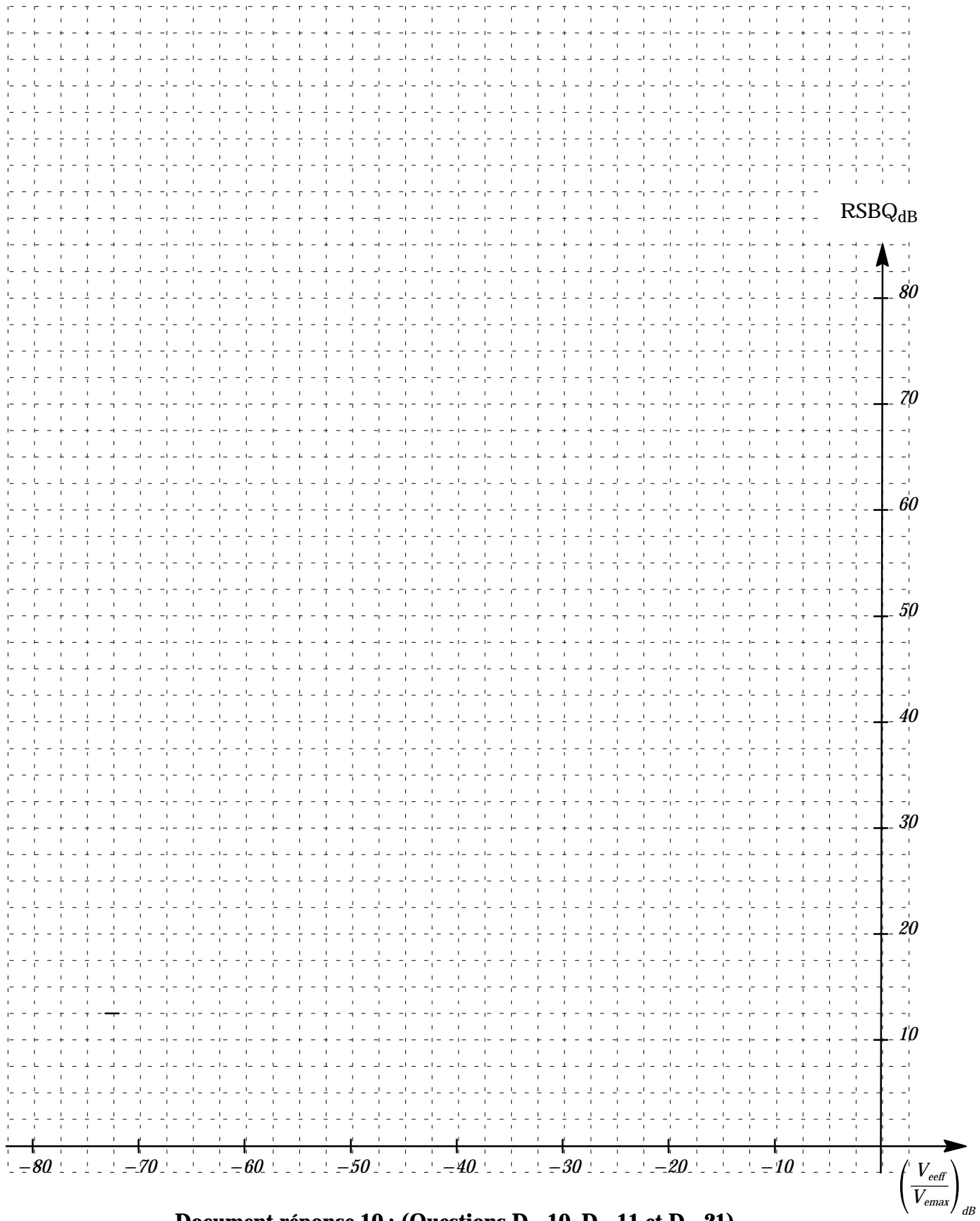
	W_{min}	D_{min}	Δe_{typ}	W_{typ}	D_{typ}	D_{typ}/W_{typ}
N+						
P+						
Poly1						
polyH						

Document réponse 8 : (Question C – 23)

	<i>min</i>	<i>typ</i>	<i>max</i>	<i>unité</i>
R_1				
R_2				
C_2				
R_2C_2				
$R_1 + 2k\Omega$				
$R_1 + 6k\Omega$				
$\frac{R_2}{R_1 + 2k\Omega}$				
$\frac{R_2}{R_1 + 6k\Omega}$				

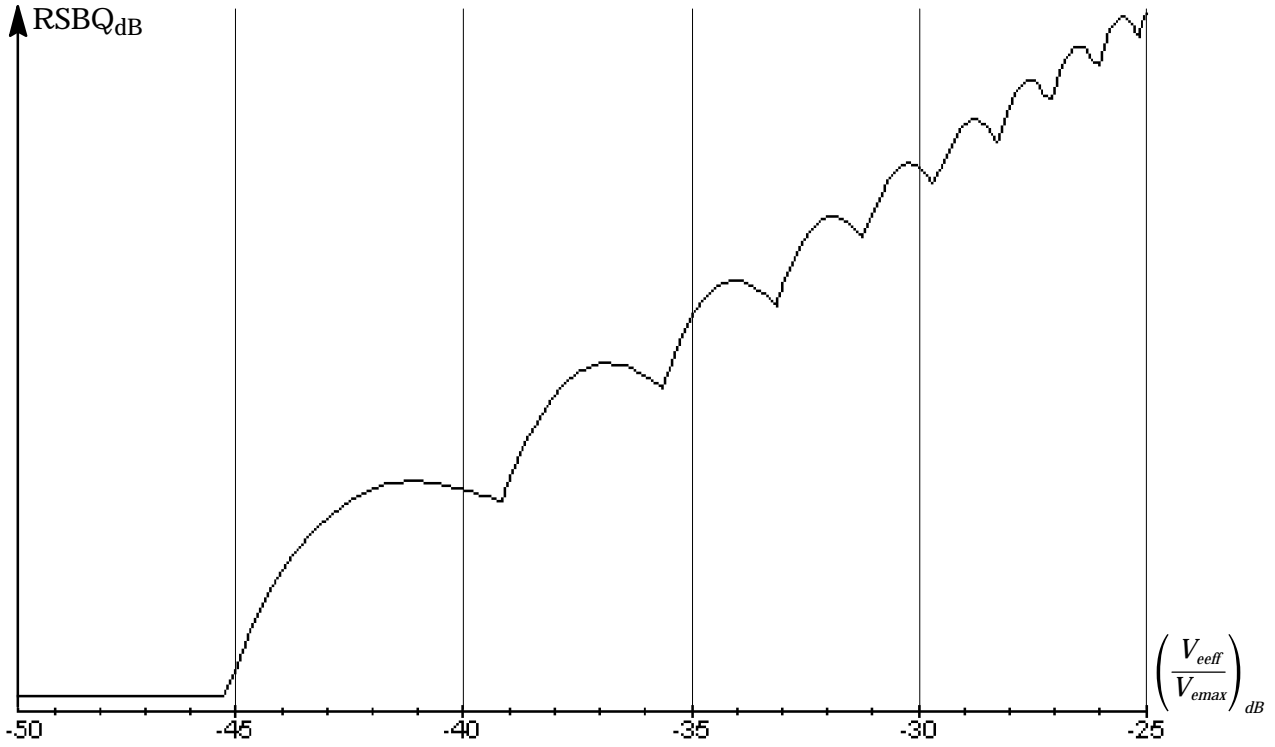
Document réponse 9 : (Question C – 32)

	$en^2 @ 10 \text{ Hz}$	$en^2 @ 100 \text{ kHz}$	α	b	b/a
OP01B					
OP02B					
OP03B					
OP05B					
OP06B					
SB1					
<i>unité</i>					



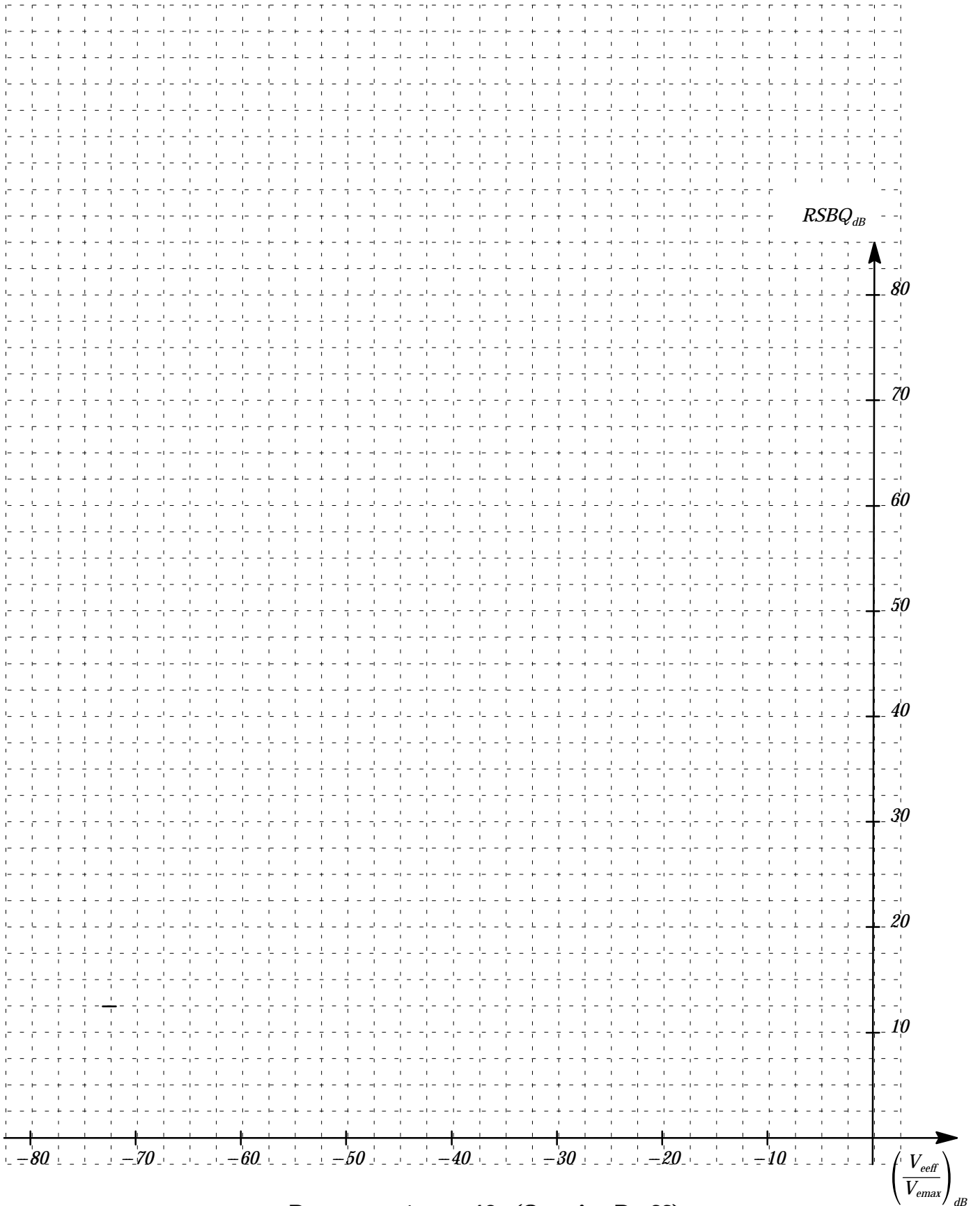
Document réponse 10 : (Questions D-10, D-11 et D-21)

Document réponse 11 : (Question D – 18)



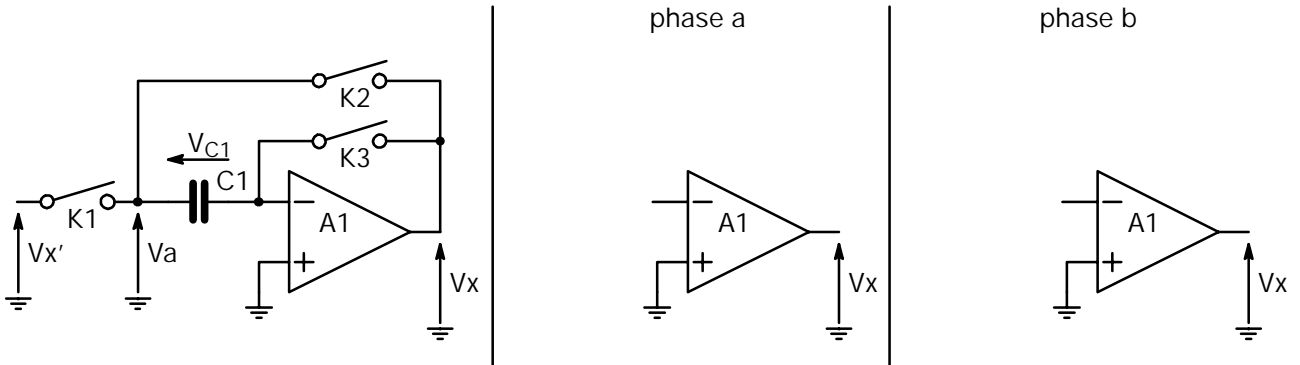
Document réponse 12 : (Question D – 20)

N	$\frac{P_{bq}}{V_{emax}^2}$	RSB_{dB}	$RSBQ_{dB}$
4			
8			
12			

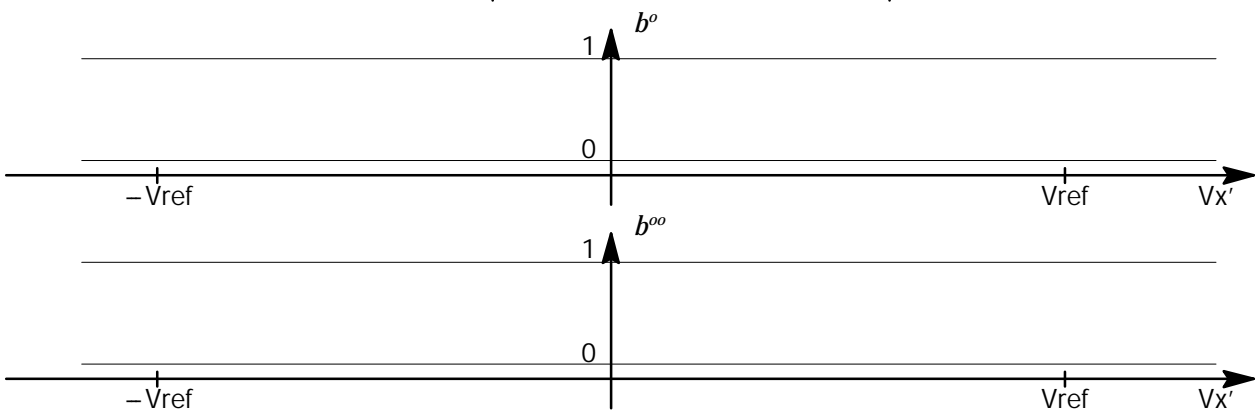
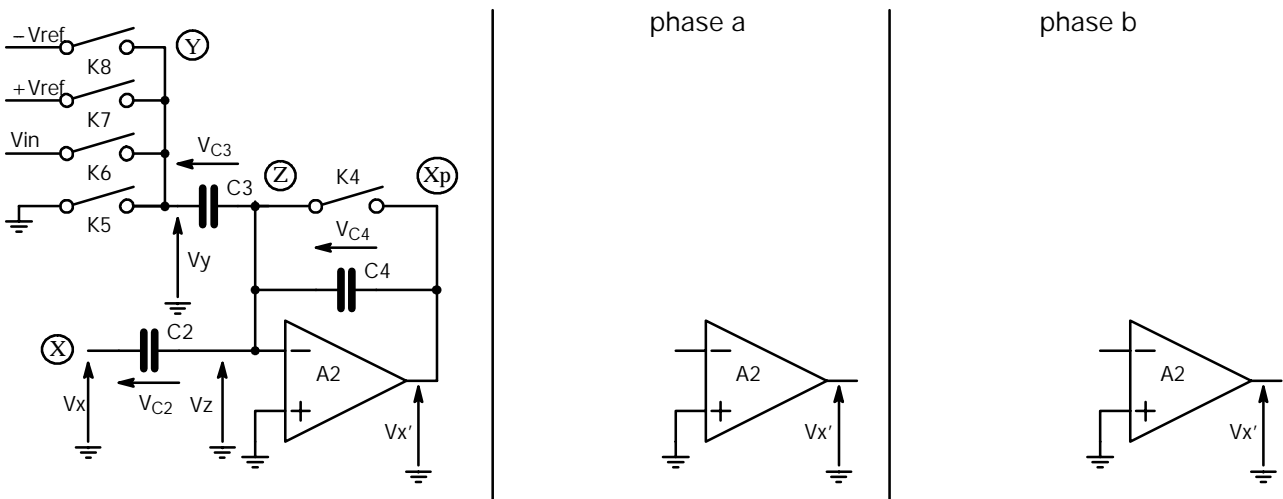


Document réponse 13 : (Question D – 22)

Document réponse 14 : (Question E-5)



Document réponse 15 : (Question E-8)



Document réponse 16 : (Question E-14)

Document réponse 17 : Table d'états de la machine de Mealy (Question E – 18)

État	États suivants				Sorties											
	inī		init		K1				K2				K3			
	phī	phi		phī												
	00	01	11	10	00	01	11	10	00	01	11	10	00	01	11	10
0					1	1	1	1								
1					X	X	0	X								
2					X	X	0	X								
3					X	X	0	X								
4					X	X	0	0								
5					X	X	X	0								
6					X	X	X	0								
7					X	X	X	0								
8					1	1	1	1								
9					X	0	X	X								
10					X	0	X	X								
11					X	0	X	X								
12					0	0	X	X								
13					0	X	X	X								
14					0	X	X	X								
15					0	X	X	X								

État	Sorties															
	K4				Kp5				K6				CK			
Entrées	00	01	11	10	00	01	11	10	00	01	11	10	00	01	11	10
0																
1																
2																
3																
4																
5																
6																
7																
8																
9																
10																
11																
12																
13																
14																
15																

Document réponse 18 : Table d'états réduite de la machine de Mealy (Question E–19)

Code	État	États suivants				Sorties											
		$\overline{\text{init}}$		init		K1				K2				K3			
	Entrées →	$\overline{\text{phi}}$	phi	$\overline{\text{phi}}$	00	01	11	10	00	01	11	10	00	01	11	10	
0000																	
0001																	
0011																	
0010																	
0110																	
0111																	
0101																	
0100																	
1100																	
1101																	
1111																	
1110																	
1010																	
1011																	
1001																	
1000																	

Code	État	Sorties															
		K4				Kp5				K6				CK			
Entrées →		00	01	11	10	00	01	11	10	00	01	11	10	00	01	11	10
0000																	
0001																	
0011																	
0010																	
0110																	
0111																	
0101																	
0100																	
1100																	
1101																	
1111																	
1110																	
1010																	
1011																	
1001																	
1000																	

Document réponse 19 : Table d'états codée, limitée aux variables d'état (Question E–20)

Sorties du registre d'état					Entrées du registre d'état															
Q3	Q2	Q1	Q0	Code	D3				D2				D1				D0			
					$\overline{\text{init}}$		init		$\overline{\text{init}}$		init		$\overline{\text{init}}$		init		$\overline{\text{init}}$		init	
					$\overline{\text{phi}}$	phi	$\overline{\text{phi}}$	phi	$\overline{\text{phi}}$	phi	$\overline{\text{phi}}$	phi	$\overline{\text{phi}}$	phi	$\overline{\text{phi}}$	phi	$\overline{\text{phi}}$	phi	$\overline{\text{phi}}$	
					0 0	0 1	1 1	1 0	0 0	0 1	1 1	1 0	0 0	0 1	1 1	1 0	0 0	0 1	1 1	1 0
$\overline{Q3}$	$\overline{Q2}$	$\overline{Q1}$	$\overline{Q0}$	0000																
			Q0	0001																
		Q1	$\overline{Q0}$	0011																
			Q0	0010																
	Q2	$\overline{Q1}$	$\overline{Q0}$	0110																
			Q0	0111																
		Q1	$\overline{Q0}$	0101																
			Q0	0100																
Q3	$\overline{Q2}$	$\overline{Q1}$	$\overline{Q0}$	1100																
			Q0	1101																
		Q1	$\overline{Q0}$	1111																
			Q0	1110																
	Q2	$\overline{Q1}$	$\overline{Q0}$	1010																
			Q0	1011																
		Q1	$\overline{Q0}$	1001																
			Q0	1000																

Document réponse 20 : Décodage des états de la machine asynchrone (Question E – 24)

					$\overline{Kp5}$			Kp5				
					$\overline{K6}$		K6			$\overline{K6}$		
					\overline{CK}	CK		\overline{CK}		CK		\overline{CK}
					000	001	011	010	110	111	101	100
$\overline{K1}$	$\overline{K2}$	$\overline{K3}$	$\overline{K4}$	0000								
			K4	0001								
		K4	0011									
	K2	K3	$\overline{K4}$	0010								
			K4	0110								
			K4	0111								
$\overline{K3}$		K4	0101									
		$\overline{K4}$	0100									
		K4	1100									
K1	K3	K4	1101									
		K4	1111									
		$\overline{K4}$	1110									
	$\overline{K2}$	K3	$\overline{K4}$	1010								
			K4	1011								
		$\overline{K3}$	K4	1001								
		$\overline{K4}$	1000									